

①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Offenlegungsschrift
⑩ DE 44 06 258 A 1

⑤1 Int. Cl.⁵:
G 06 F 12/08

②1 Aktenzeichen: P 44 06 258.3
②2 Anmeldetag: 25. 2. 94
④3 Offenlegungstag: 8. 9. 94

77

DE 44 06 258 A 1

③0 Unionspriorität: ③2 ③3 ③1

26.02.93 JP 5-037203

⑦1 Anmelder:

Mitsubishi Denki K.K., Tokio/Tokyo, JP

⑦4 Vertreter:

Popp, E., Dipl.-Ing.Dipl.-Wirtsch.-Ing.Dr.rer.pol.;
Sajda, W., Dipl.-Phys.; Reinländer, C., Dipl.-Ing.
Dr.-Ing.; Bohnenberger, J., Dipl.-Ing.Dr.phil.nat.,
80538 München; Bolte, E., Dipl.-Ing.; Möller, F.,
Dipl.-Ing., Pat.-Anwälte, 28209 Bremen

⑦2 Erfinder:

Katayama, Masatoshi, Amagasaki, Hyogo, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Informationsverarbeitungsvorrichtung

⑤7 Zu einer Informationsverarbeitungsvorrichtung gehört eine Zentraleinheit (CPU), ein erster und zweiter Speicher, ein einziger CPU-Bus, mit dem der erste und zweite Speicher zum Übertragen einer Speicheradresse und eines Schreib/Lese-Steuersignals verbunden ist, die von der Zentraleinheit ausgegeben werden, eine Einrichtung zum Steuern der Eingabe/Ausgabe in bzw. aus dem ersten und zweiten Speicher, zum Dekodieren der Speicheradresse und des Schreib/Lese-Steuersignals, um sowohl den ersten als auch den zweiten Speicher für das Schreiben zu aktivieren oder nur den ersten oder nur den zweiten Speicher für das Lesen zu aktivieren.

Die gleichen Informationen werden zur gleichen Zeit in die Duplexspeicher eingegeben, und die Informationen können unabhängig aus den jeweiligen Speichern gelesen werden. Ein einziger CPU-Bus reicht für Mehrfachspeicher aus, und das Doppelschreiben und Einzulesen erfolgt mit einer geringen Menge an Hardware.

DE 44 06 258 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 07. 94 408 036/540

25/31

Beschreibung

Die Erfindung bezieht sich auf eine Informationsverarbeitungsvorrichtung mit Duplexsystemen. Insbesondere befaßt sich die Erfindung mit Verbesserungen am Schreib/Lese-System des Duplexspeichersystems, am Duplexspeichersteuersystem des Duplex-CPU-Kartensystems sowie am Mehrrechnersystem mit einer Vielzahl von Zentraleinheiten und einer Vielzahl von Speichern, die über einen CPU-Bus miteinander verbunden sind.

Ein bekanntes Speichersteuersystem, welches in der veröffentlichten japanischen Patentanmeldung Hei. 1-169557 offenbart ist, soll anhand von Fig. 10 erläutert werden. Die Bezugszeichen 101a—101d bezeichnen Zentraleinheiten, CPU, welche Arbeitsgänge und dergleichen gemäß einem verordneten Verfahren verarbeiten, welches als Programm beschrieben ist. Die Bezugszeichen 104 und 105 bezeichnen Speicher, in denen von den CPU 101a—101d verarbeitete Daten und dergleichen gespeichert werden. Die Speicher 104 und 105 werden von einer Speichersteuereinheit 102 gesteuert. In der Speichersteuereinheit 102 ist eine Duplexschreibvorrichtung 103 zum Steuern des Doppelschreibens angeordnet.

Zu dieser Vorrichtung gehören sechzehn Gruppensteuerungen, nämlich die Gruppensteuerungen 0—15, die jeweils vier Zentraleinheiten haben und zwei Speicher gemeinsam besitzen.

Die Arbeitsweise ist wie folgt: Wenn ein von einer Zentraleinheit gegebener Befehl das Doppelschreiben der gleichen Information zur gleichen Zeit in zwei Speicher anordnet, gibt eine der Zentraleinheiten CPU 101a—101d eine Anforderung auf Doppelschreiben an die Duplexschreibvorrichtung 103 in der Speichersteuereinheit 102 ab. Wenn die Duplexschreibvorrichtung 103 das Doppelschreibenanforderungssignal erhält, erzeugt sie eine bezeichnete Schreibadresse für den Speicher 104 sowie eine entsprechende Doppelschreibadresse für den anderen Speicher 105 und sendet gleichzeitig Schreibenanforderungen an die Speicher 104 und 105. Folglich kann die im Speicher abzulegende Information durch einen einmaligen Schreibvorgang in beiden Speichern gespeichert werden.

Anhand von Fig. 11 soll Stand der Technik zum Steuern der Datenübertragung an ein Duplexspeichersystem erläutert werden, welches in der veröffentlichten japanischen Patentanmeldung Hei. 3-144739 offenbart ist. Mit den Bezugszeichen 201 und 204 sind Zentraleinheiten, CPU, bezeichnet, die Arbeitsgänge oder dergleichen entsprechend einem als Programm beschriebenen, verordneten Verfahren verarbeiten. Die Bezugszeichen 202 und 205 bezeichnen Speicher, in denen von den CPU 201 und 204 verarbeitete Daten oder dergleichen gespeichert werden. Die Bezugszeichen 203 und 209 bezeichnen Zwischensystem-Informationsübertragungsvorrichtungen zum Übertragen von Informationen zwischen den beiden Systemen mit CPU, die durch eine strichpunktisierte Linie in der Figur getrennt sind. Über einen Datenbus 206 werden Daten zwischen der CPU 201, dem Speicher 202 und der Zwischensystem-Informationsübertragungsvorrichtung 203 übertragen. Ein Datenbus 207 überträgt Daten über die CPU 204, den Speicher 205 sowie die Zwischensystem-Informationsübertragungsvorrichtung 209. In der Zwischensystem-Informationsübertragungsvorrichtung 203 ist eine Zwischensystem-Informationsübertragungsschaltung 208 vorgesehen. Zwischen den beiden Zwischensystem-Informationsübertragungsvorrichtungen 203 und 209 werden Daten über einen Zwischensystemdatenbus 212 übertragen. Von der Zwischensystem-Informationsübertragungsschaltung 208 über den Zwischensystemdatenbus 212 übertragene Daten werden in eine Pufferschaltung 210 eingegeben. Das Bezugszeichen 211 bezeichnet eine Schreibinformationsübertragungsschaltung, die Informationen von der CPU 201 in einem System in aktiviertem Zustand (nachfolgend als ACT-System bezeichnet) in den Speicher 205 der CPU 204 in einem System in nichtaktiviertem Zustand (nachfolgend als STBY-System bezeichnet) einschreibt. Das Bezugszeichen 213 bezeichnet eine Datenvergleichsschaltung, in der die aus dem ACT-System gelesenen Daten mit aus dem STBY-System gelesenen Informationen verglichen werden.

Die Arbeitsweise ist wie folgt: Wenn von der CPU 201 im ACT-System ein Datenschreibzugriff für den Speicher 202 des ACT-Systems erzeugt wird, wird sowohl eine Speicheradresse, einzuschreibende Daten als auch ein Schreibsignal über den Datenbus nicht nur dem Speicher 202 mitgeteilt, sondern auch der Zwischensystem-Übertragungsvorrichtung 203 und dann in der Zwischensystem-Informationsübertragungsschaltung 208 zwischengespeichert. Über den Zwischensystemdatenbus 212 werden diese Signale auch der Zwischensystem-Informationsübertragungsvorrichtung 201 des STBY-Systems mitgeteilt und in die Pufferschaltung 210 synchronisiert mit ACT-Systemtaktungen eingeschrieben. Diese Signale werden aus der Speicherschaltung 210 unabhängig vom Datenbusbetrieb des ACT-Systems, aber synchronisiert mit den STBY-Systemtaktungen gelesen und über die Schreibinformationsübertragungsschaltung 211 an den Datenbus 207 ausgegeben, um in den Speicher 205 des STBY-Systems eingegeben zu werden.

Wenn ein Datenlesezugriff für den Speicher 202 des ACT-Systems von der CPU 201 des ACT-Systems erzeugt wird, wird sowohl eine Speicheradresse als auch ein Lesesignal über den Datenbus 206 an den Speicher 202 übertragen und gleichfalls an die Zwischensystem-Informationsübertragungsvorrichtung 203 weitergegeben und in der Zwischensystem-Informationsübertragungsschaltung 208 zwischengespeichert. Der Speicher 202 teilt die aus der empfangenen Speicheradresse gelesenen Daten des Speichers über den Datenbus 206 der CPU 201 ebenso wie der Zwischensystem-Informationsübertragungsvorrichtung 203 mit und dort werden sie in der Zwischensystem-Informationsübertragungsschaltung 208 zwischengespeichert. Diese Signale werden über den Zwischensystemdatenbus 212 auch der Zwischensystem-Informationsübertragungsvorrichtung 209 mitgeteilt und in die Pufferschaltung 210 synchronisiert mit ACT-Systemtaktungen eingegeben. Diese Signale werden aus der Pufferschaltung 210 unabhängig vom Datenbusbetrieb des ACT-Systems, aber synchronisiert mit STBY-Systemtaktungen gelesen, und die gelesenen Daten werden in der Datenvergleichsschaltung 213 zwischengespeichert. Die Speicheradresse und das gelesene Signal wird über die Datenvergleichsschaltung 213 an den Datenbus 207 ausgegeben und in den Speicher 205 eingegeben. Da der Zugriff ein Lesezugriff ist, werden die gelesenen Daten aus dem Speicher 205 im STBY-System an den Datenbus 207 ausgegeben und in der Datenvergleichsschaltung 213 zwischengespeichert. Die gelesenen Daten aus dem ACT-System und die gelesenen Daten aus dem STBY-

System werden von der Datenvergleichsschaltung 213 verglichen, und im Fall einer Übereinstimmung wird eine Unterbrechungsmittelung an die CPU des ACT-Systems ausgegeben.

In Fig. 12 ist ein bekanntes Mehrrechner- oder Multiprozessorsystem dargestellt. Die Bezugszeichen 301a und 301b bezeichnen Zentraleinheiten, in denen Arbeitsgänge oder dergleichen gemäß einem als Programm beschriebenen, verordneten Verfahren verarbeitet werden. Von den CPU 301a und 301b verarbeitete Daten oder dergleichen werden in Speichern 302a bzw. 302b abgelegt. Das Bezugszeichen 303 bezeichnet einen CPU-Bus, der die Zentraleinheiten 301a und 301b über Busschaltglieder 305a und 305b verbindet. Bezugszeichen 304 bezeichnet eine Busentscheidungsschaltung, die über die Belegung des CPU-Bus 303 durch eine AUF/ZU-Steuerung der Busschaltglieder 305a und 305b entscheidet, welche die I/O-Daten (Eingabe/Ausgabedaten) der CPUs 301a bzw. 301b an den CPU-Bus 303 übertragen oder auch nicht. Die Bezugszeichen 306a und 306b bezeichnen Adressendekodierer zum Dekodieren der Ausgabedaten der CPU 301a bzw. 301b und zur Weitergabe an die Busentscheidungsschaltung 304. Die Bezugszeichen 307a und 307b bezeichnen Anforderungssignale für Speicherzugriff, die von den Adressendekodierern 306a bzw. 306b ausgegeben werden. Die Bezugszeichen 308a und 308b bezeichnen Steuersignale für die Busschaltglieder, die von der Busentscheidungsschaltung 304 ausgegeben werden.

Die Arbeitsweise ist wie folgt: Wenn die CPU 301a zum Speicher 302a oder 302b Zugriff nimmt, gibt sie eine Adresse für den Speicher 302a oder 302b aus. Der Adressendekodierer 306a dekodiert die Adresse und gibt ein Anforderungssignal 307a für Speicherzugriff an die Busentscheidungsschaltung 304 ab. Die Busentscheidungsschaltung 304 erlaubt es dann der CPU 301a, Zugriff zu einem Speicher zu nehmen und gibt ein Steuersignal 308a für ein Busschaltglied aus, es sei denn, die andere CPU 301b hat bereits Zugriff zum Speicher 302a oder 302b, das heißt außer wenn der Adressendekodierer 306b ein Anforderungssignal 307b für Speicherzugriff an die Busentscheidungsschaltung 304 ausgibt, wodurch das Busschaltglied 305a geöffnet ist, um den CPU-Bus 303 zur CPU 301a aufzumachen. Wenn andererseits die CPU 301b bereits Zugriff zum Speicher 302a oder 302b hat, erlaubt es die Busentscheidungsschaltung 304 der CPU 301a nicht, Zugriff zum Speicher zu nehmen und gibt das Steuersignal 308a für das Busschaltglied nach Beendigung des Zugriffs durch die CPU 301b ab.

Das Speichersteuersystem in der bekannten Informationsverarbeitungsvorrichtung ist in der oben beschriebenen Weise ausgeführt, und die Duplexschreibvorrichtung muß eine Doppelschreibadresse auch für den anderen Speicher entsprechend der Schreibadresse des Zielspeichers erzeugen. Ferner sind CPU-Busleitungen in der gleichen Anzahl wie Speicher erforderlich, was den Bedarf an Hardware erhöht.

Im Datenübertragungssteuersystem zum Übertragen von Daten an den Duplexspeicher wird bei der vorstehend beschriebenen bekannten Informationsverarbeitungsvorrichtung der aus dem Speicher des STBY-Systems gelesene Speicherinhalt nur benutzt, wenn er mit dem Speicherinhalt des Speichers des ACT-Systems verglichen wird, der zeitweilig in der Pufferschaltung gespeichert ist, und die CPU des ACT-Systems kann nicht willkürlich den Speicherinhalt des Speichers im STBY-System lesen. Weil für das Datenübertragungssteuersystem ein Puffer benutzt wird, ist außerdem für das Schreiben in den Speicher des anderen Systems mehr Zeit erforderlich als beim Eigensystem, und außerdem ist die Identität des Speicherinhalts während der Verzögerungszeit zwischen den beiden Systemen nicht sichergestellt, was zu einer Fehlfunktion führen kann.

Schließlich ist bei der bekannten Informationsverarbeitungsvorrichtung das Multiprozessorsystem so aufgebaut, daß während eine CPU Zugriff zu einem Speicher hat, die andere CPU bedingungslos auf Zugriff warten muß, so daß die Verarbeitungskapazität pro Zeiteinheit gering ist.

Aufgabe der Erfindung ist es, eine Informationsverarbeitungsvorrichtung zu schaffen, die eine Vielzahl von über einen einzigen CPU-Bus verbundenen Speichern aufweist, nur eine geringe Ausstattung an Hardware für das Erledigen von Duplexschreiben erfordert und den Inhalt des Einzelspeichers willkürlich lesen kann.

Aufgabe der Erfindung ist es auch, eine Informationsverarbeitungsvorrichtung zu schaffen, die sicherstellt, daß der Speicherinhalt der beiden Systeme identisch ist.

Ferner ist es Aufgabe der Erfindung, eine Informationsverarbeitungsvorrichtung in einem Multiprozessor zu schaffen, mit der die Einschränkung der Verarbeitungskapazität pro Zeiteinheit minimal ist.

Gemäß einem ersten Aspekt der Erfindung weist eine Informationsverarbeitungsvorrichtung in einem Prozessorsystem mit Zentraleinheiten und Speichern Duplexspeicher auf, die an einen einzigen CPU-Bus angeschlossen sind. Die gleiche Information wird zur gleichen Zeit in die Doppelspeicher geschrieben und kann unabhängig aus den jeweiligen Speichern gelesen werden. Ein einziger CPU-Bus reicht für mehrfache Speicher aus, und Doppelschreiben sowie Einzellesen wird mit nur wenig Hardware durchgeführt.

Gemäß einem zweiten Aspekt der Erfindung arbeitet eine Informationsverarbeitungsvorrichtung mit einem Speicherkennfeld einer Zentraleinheit, die so ausgelegt ist, daß der Zugriff zu Speichern, das heißt die Wahl von Doppelspeichern beim Schreiben und die Wahl nur eines entsprechenden Speichers beim Lesen mit Hilfe einer Chipauswahlschaltung erfolgt, die das gleichzeitige Schreiben in die Duplexspeicher und das einzelne Lesen aus den entsprechenden Speichern in Übereinstimmung mit dem Adressenbereich befiehlt, zu dem die von der CPU ausgegebene Adresse gehört. Es besteht also keine Notwendigkeit, eine Duplexschreibadresse für den anderen Speicher in Übereinstimmung mit einer bezeichneten Schreibadresse für den bezeichneten Speicher zu erzeugen, so daß das Doppelschreiben und das Einzellesen mit wenig Hardware durchgeführt werden kann.

Gemäß einem dritten Aspekt der Erfindung erfolgt der Zugriff zu den jeweiligen Speichern mittels eines Bereichsauswahlsignals. Die Wahl der Duplexspeicher beim Schreiben und die Wahl eines der entsprechenden Speicher beim Lesen erfolgt mit Hilfe eines Chipauswahlsystems, und die Chipauswahlschaltung zeigt das gleichzeitige Schreiben in den Duplexspeicher oder das individuelle Lesen der jeweiligen Speicher mit Hilfe der Schreib/Lese-Einrichtung an, wodurch der Speicherbereich vollkommen ausgenutzt wird, um das Doppelschreiben und das Einzellesen durchzuführen.

Gemäß einem vierten Aspekt der Erfindung wird in einem System, in welchem CPU-Karten, die jeweils eine Zentraleinheit und einen Speicher enthalten, in Duplexausführung vorgesehen sind, bei der Eingabe von Infor-

mationen in den Speicher einer Karte, diese Informationen auch in die andere Karte eingegeben werden, und der Speicherinhalt der ersten Karte sowie der Speicherinhalt der anderen Karte wird jeweils durch eine andere Adresse gelesen. Beim Schreiben auf die erste Karte erfolgt auch ein Schreiben auf die zweite Karte, und das Lesen des Speicherinhalts auf der Eigensystemkarte und des Speicherinhalts auf der anderen Systemkarte erfolgt gleichfalls mittels verschiedener Adressen. Auf diese Weise können die einzelnen Systemkarten des einen Systems den Speicherinhalt der Karten des jeweils anderen Systems kennen.

Gemäß einem fünften Aspekt der Erfindung ist eine Vielzahl von CPU-Karten über ein Busschaltglied miteinander verbunden. Der Speicher ist in zwei Bereiche unterteilt, von denen einer dem Doppelschreiben oder Eigensystemlesen und der andere dem Lesen des anderen Systems entspricht. Dabei erzeugt ein Chipauswählerzeugerteil ein Speicherschreibsignal oder ein Speicherlesesignal anhand des Ergebnisses der Dekodierung der Speicheradresse und des Schreibsignals. Die Wahl von Doppelspeichern beim Schreiben und die Wahl von Einzelspeichern beim Lesen erfolgt also entsprechend dem Chipansteuersignal. Die Steuerung des Chipauswählerzeugerteils und des Busschaltgliedes wird von einer Gattersteuerschaltung in Übereinstimmung mit einem Schreibsignal oder einem Lesesignal vorgenommen, welches die Zentraleinheit entsprechender Karten ausgibt. Es ist also möglich, den Speicherinhalt des anderen Systems zu kennen, und es ist auch möglich, die gleichen Daten gleichzeitig in den Speicher des Eigensystems und in den Speicher des anderen Systems einzugeben, wodurch die Identität der Speicherinhalte gewährleistet ist.

Gemäß einem sechsten Aspekt der Erfindung ist eine Vielzahl von CPU-Karten miteinander über ein Busschaltglied verbunden. Der Speicher ist in drei Bereiche unterteilt, von denen einer dem Doppelschreiben entspricht, einer dem Lesen aus dem Eigensystem und einer dem Lesen des anderen Systems. Ein Chipauswählerzeugerteil erzeugt ein Speicherschreibsignal und ein Speicherlesesignal anhand des Ergebnisses der Dekodierung der Speicheradresse. Die Auswahl von Doppelspeichern beim Schreiben und die Auswahl von Einzelspeichern beim Lesen erfolgt in Übereinstimmung mit dem Chipansteuersignal. Der Chipauswählerzeugerteil und das Busschaltglied wird mittels einer Gattersteuerschaltung in Übereinstimmung mit einem Schreibsignal oder einem Lesesignal gesteuert, welches die Zentraleinheit entsprechender Karten ausgibt. Deshalb ist es möglich, den Speicherinhalt des anderen Systems zu kennen, und es ist auch möglich, gleichzeitig die gleichen Daten in den Speicher des eigenen Systems und in den Speicher des anderen Systems einzugeben, wodurch die Identität des Inhalts in den Speichern sichergestellt und außerdem die Hardware in gewissem Ausmaß vereinfacht ist.

Gemäß einem siebten Aspekt der Erfindung wird in einem Multiprozessorsystem, in dem mehrere Zentraleinheiten und mehrere Speicher über einen CPU-Bus miteinander verbunden sind, der gleichzeitige Zugriff entsprechender Zentraleinheiten zu verschiedenen Speichern in Abhängigkeit von den Kombinationen der Speicher erlaubt, zu denen die jeweiligen Zentraleinheiten Zugriff nehmen. Auf diese Weise ist die eingeschränkte Verarbeitungskapazität pro Zeiteinheit im wesentlichen hinfällig.

Gemäß einem achten Aspekt der Erfindung ist ein in zwei Richtungen wirksames Gatter in der Mitte des CPU-Bus vorgesehen und außerdem zwei Adressendekodierer zum Dekodieren der von den Zentraleinheiten ausgegebenen Adressen sowie eine Busentscheidungsschaltung, die zwei Busschaltglieder und das in zwei Richtungen wirksame Gatter entsprechend den Ausgaben der Adressendekodierer öffnen oder schließen. Wenn die beiden Zentraleinheiten zur gleichen Zeit auf verschiedene Speicher Zugriff nehmen, werden die den jeweiligen Zentraleinheiten entsprechenden Speicher voneinander getrennt. Wenn also eine Zentraleinheit eines Systems mit zwei Zentraleinheiten und zwei Speichern zum Speicher des eigenen Systems Zugriff hat, kann die andere Zentraleinheit zum Speicher des anderen Systems zur gleichen Zeit Zugriff nehmen.

Gemäß einem neunten Aspekt der Erfindung ist ein in zwei Richtungen wirksames Gatter zwischen zwei bestimmten, an den CPU-Bus angeschlossenen Speichern vorgesehen. Außerdem sind zwei Adressendekodierer vorgesehen, welche von den beiden Zentraleinheiten ausgegebene Adressen dekodieren. Ein Busschaltglied führt eine Auf/Zu-Steuerung der beiden Busschaltglieder und des in zwei Richtungen wirksamen Gatters in Übereinstimmung mit den Ausgaben der Adressendekodierer durch, so daß bei gleichzeitigem Zugriff verschiedener Speicher durch die beiden Zentraleinheiten, die Speicher in zwei Gruppen unterteilt werden, welche zu den jeweiligen Zentraleinheiten gehören. Wenn also eine CPU gerade zu einem bestimmten Speicher Zugriff hat, kann die CPU der anderen Seite zur gleichen Zeit zu Speichern Zugriff nehmen, die diesem Speicher näher sind.

Im folgenden ist die Erfindung mit weiteren vorteilhaften Einzelheiten anhand schematisch dargestellter Ausführungsbeispiele näher erläutert. In den Zeichnungen zeigt:

Fig. 1 ein Diagramm eines Speicherduplexsystems in einer Informationsverarbeitungsvorrichtung gemäß einem ersten Ausführungsbeispiel der Erfindung;

Fig. 2 ein Diagramm eines Speicherkennfeldes in einer Zentraleinheit entsprechend Fig. 1;

Fig. 3 ein Diagramm eines Speicherduplexsystems in einer Informationsverarbeitungsvorrichtung gemäß einem zweiten Ausführungsbeispiel der Erfindung;

Fig. 4 ein Diagramm eines Speicherkennfeldes in einer Zentraleinheit entsprechend Fig. 3;

Fig. 5 ein Diagramm eines Duplexsteuersystems eines Speichers in einer Informationsverarbeitungsvorrichtung gemäß einem dritten Ausführungsbeispiel der Erfindung;

Fig. 6 ein Diagramm des Aufbaus eines Speicherkennfeldes gemäß einem dritten Ausführungsbeispiel der Erfindung;

Fig. 7 ein Diagramm des Aufbaus eines Speicherkennfeldes gemäß einem vierten Ausführungsbeispiel der Erfindung;

Fig. 8 ein Diagramm eines Multiprozessorsystems in einer Informationsverarbeitungsvorrichtung gemäß einem fünften Ausführungsbeispiel der Erfindung;

Fig. 9 ein Diagramm eines Multiprozessorsystems in einer Informationsverarbeitungsvorrichtung gemäß einem sechsten Ausführungsbeispiel der Erfindung;

Fig. 10 ein Diagramm eines Speichersteuersystems bei einem bekannten Informationsverarbeitungssystem;
 Fig. 11 ein Diagramm eines Datenübertragungs-Steuersystems zum Übertragen von Daten bei einem bekannten Duplexspeichersystem;
 Fig. 12 ein Diagramm eines bekannten Multiprozessorsystems.

1. Ausführungsbeispiel

Eine Informationsverarbeitungsvorrichtung gemäß einem ersten Ausführungsbeispiel der Erfindung ist in Fig. 1 dargestellt. Bei diesem Ausführungsbeispiel soll die Menge an Hardware bei Duplexausführung der Speichermöglichkeit verringert werden, damit die Zuverlässigkeit erhöht wird. Zur Verarbeitung von Arbeitsgängen in Übereinstimmung mit einem in einem Programm beschriebenen Verfahren ist eine Zentraleinheit CPU 1101 vorgesehen. Für die CPU 1101 sind Duplexspeicher 1104 und 1105 vorgesehen. Zur Aktivierung der Speicher 1104 und 1105 wird ein Chipansteuersignal von einer Chipauswählerzeugerschaltung 1106 erzeugt. Als Chipauswählerzeugerschaltung 1106 dient die Schreib/Lese-Steuereinrichtung 1001, die das gleichzeitige Schreiben des gleichen Signals in die doppelten Speicher 1104 und 1105 sowie das Lesen der gleichen Informationen aus den entsprechenden Speichern ermöglicht. Daten werden zwischen der CPU 1101 und den Speichern 1104, 1105 sowie zwischen der CPU 1101 und der Chipauswählerzeugerschaltung 1106 über einen CPU-Bus 1108 übertragen. Die Bezugszeichen 1109, 1110 bezeichnen Zugriffsvollzugssignale, die von den Speichern 1104, 1105 ausgegeben werden, wenn der Zugriff jeweils beendet ist. Wenn der Speicher 1104, 1105 (oder beide), der von der Chipauswählerzeugerschaltung 1106 aktiviert wurde, das Zugriffsvollzugssignal 1109, 1110 (oder beide) abgibt, wird von einem Datenbestätigungs-Erzeugerteil 1111 ein Datenbestätigungssignal 1107 abgegeben. Im Datenbestätigungssignalerzeugerteil 1111 bezeichnet das Bezugszeichen 1111a ein ODER-Gatter mit zwei Eingängen, an das das Zugriffsvollzugssignal 1109 vom Speicher 1104 in einer positiven Phase und das Chipansteuersignal von der Chipauswählerzeugerschaltung 1106 in einer Umkehrphase angelegt wird. Das Bezugszeichen 1111b bezeichnet ein ODER-Gatter mit zwei Eingängen, an das das Zugriffsvollzugssignal 1110 vom Speicher 1105 in einer positiven Phase und das Chipansteuersignal von der Chipauswählerzeugerschaltung 1106 in einer Umkehrphase angelegt wird. Bezugszeichen 1111c bezeichnet ein UND-Gatter mit zwei Eingängen, an das die Ausgabesignale der ODER-Gatter 1111a und 1111b mit den beiden Eingängen angelegt werden und das ein Datenbestätigungssignal 1107 abgibt.

Fig. 2 zeigt für dieses erste Ausführungsbeispiel ein Speicherkennfeld in der CPU 1101 für den Fall einer vier Bits umfassenden Adresse. Im vorliegenden Fall gibt der Adressenbereich 0000—0111 das Lesen oder Doppelschreiben des Speichers 1104 wieder, während der Adressenbereich 1000 — 1111 das Lesen des Speichers 1105 wiedergibt.

Die Arbeitsweise ist wie folgt: Wenn die CPU 1101 die gleichen Daten in beide Speicher 1104, 1105 doppelt einschreibt, gibt sie die Doppelschreibadresse (eine Adresse mit einem MSB (signifikantestes Bit) von "0" in Fig. 1) sowie ein Schreibsignal ab. Die Chipauswählerzeugerschaltung 1106 dekodiert diese Signale und gibt an beide Speicher ein Chipansteuersignal ab. Die Speicher 1104, 1105 empfangen das Chipansteuersignal und schreiben Daten, die in die vom CPU-Bus 1108 empfangene Speicheradresse geschrieben werden sollen, und es erfolgt eine Ausgabe von Zugriffsvollzugssignalen 1109, 1110. Der Datenbestätigungserzeugerteil 1111 gibt das Datenbestätigungssignal 1107 nur dann ab, wenn diese beiden Signale ausgegeben werden. Auf diese Weise erfolgt das Schreiben der gleichen Daten in beide Speicher durch einen einmaligen Schreibvorgang. Mit anderen Worten, es wird gleichzeitig geschrieben.

Wenn dann die CPU 1101 den Inhalt des Speichers 1104 liest, gibt sie die Leseadresse des Speichers 1104 (in Fig. 1 diejenige Adresse, die ein MSB "0" enthält) und ferner ein Lesesignal ab. In der Chipauswählerzeugerschaltung 1106 werden diese Signale dekodiert, und ein Chipansteuersignal wird nur für den Speicher 1104 abgegeben. In Abhängigkeit von dem Chipansteuersignal teilt der Speicher 1104 der CPU 1101 eine Leseadresse mit, die der Speicheradresse entspricht, welche vom CPU-Bus 1108 empfangen wird, wobei diese über den CPU-Bus 1108 übertragen wird. Außerdem wird ein Zugriffsvollzugssignal 1109 ausgegeben. Der andere Speicher 1105 wird nicht aktiv, weil er das Chipansteuersignal nicht empfängt. Der Datenbestätigungserzeugerteil 1111 gibt das Datenbestätigungssignal 1107 in Abhängigkeit vom Zugriffsvollzugssignal 1109 ab, so daß der Inhalt im Speicher 1104 gelesen werden kann.

Wenn dann die CPU 1101 den Inhalt des Speichers 1105 liest, gibt sie eine Leseadresse des Speichers 1105 (wobei die Adresse in Fig. 1 ein MSB von "1" enthält) sowie ein Lesesignal ab. Die Chipauswählerzeugerschaltung 1106 dekodiert diese Signale und gibt ein Chipansteuersignal nur an den Speicher 1105 ab. Der darauffolgende Vorgang ähnelt dem Lesevorgang des Speichers 1104, und es wird nur der Inhalt des Speichers 1105 ausgegeben.

Bei diesem ersten Ausführungsbeispiel der Erfindung ist eine Vielzahl von Speichern mit einem einzigen CPU-Bus verbunden, und die Speicher werden mit einem Chipauswahlsystem für das Lesen oder Schreiben ausgewählt. Das bedeutet, daß das Speicherkennfeld der Speicher so gestaltet ist, daß die Bestimmung, ob ein Speicher zum Lesen dienen soll oder nicht, in Abhängigkeit davon getroffen wird, ob das MSB der Leseadresse "0" oder "1" ist, und daß sofort ein Doppelschreiben erfolgt, wenn das MSB der Schreibadresse "0" ist. Es besteht also keine Notwendigkeit, eine Adresse zur Doppeleingabe in den anderen Speicher zu erzeugen, die der bezeichneten Schreibadresse des bezeichneten Speichers entspricht. Außerdem ist nur ein einziger CPU-Bus erforderlich statt eine der Anzahl Speicher entsprechende Anzahl. Infolgedessen wird für das Doppelschreiben weniger Hardware benötigt.

Während bei dem vorstehend beschriebenen ersten Ausführungsbeispiel das Speicherkennfeld in zwei Bereiche unterteilt ist, ist auch eine Unterteilung in drei Bereiche möglich, von denen einer für das Doppelschreiben, einer für das Lesen aus dem Speicher 1104 und einer für das Lesen aus dem Speicher 1105 bestimmt ist, wobei die

gleichen Wirkungen wie oben beschrieben erzielt werden.

2. Ausführungsbeispiel

5 Während bei dem vorstehend beschriebenen ersten Ausführungsbeispiel die Leseadresse für beide Speicher in zwei Bereiche unterteilt ist, kann auch eine E/A-Anschluß-Schaltung vorgesehen sein, um anstatt des Chipauswahlsystems ein Bereichsumschaltsystem zu erhalten. Wenn hier ein Befehl zum Umschalten eines Bereichs erforderlich ist, kann der Speicherplatz wirksam und ausreichend genutzt werden.

10 Nachfolgend soll ein zweites Ausführungsbeispiel der Erfindung anhand von Fig. 3 beschrieben werden. Eine Zentraleinheit CPU 1101 dient der Verarbeitung von Arbeitsgängen entsprechend einem in einem Programm beschriebenen Verfahren. Für die CPU 1101 sind Doppelspeicher 1104, 1105 vorgesehen, und eine Chipauswählerzeugerschaltung 1106 gibt ein Chipansteuersignal zum Aktivieren der Speicher 1104, 1105 ab. Über einen CPU-Bus 1108 werden Daten zwischen der CPU 1101 und den Speichern 1104, 1105 sowie zwischen der CPU 1101 und der Chipauswählerzeugerschaltung 1106 übertragen. Bei Beendigung des Zugriffs geben die Speicher 1104, 1105 Zugriffsvollzugssignale 1109, 1110 ab. Von einem Datenbestätigungserzeugerteil 1111 wird ein Datenbestätigungssignal 1107 abgegeben, wenn der von der Chipauswählerzeugerschaltung 1106 aktivierte Speicher 1104, 1105 (oder beide) das Zugriffsvollzugssignal 1109, 1110 (oder beide) abgibt. Das Bezugszeichen 1112 bezeichnet einen Bereichbezeichnungs-Zwischenspeicher zur Bereichsschaltung aller Adressenbereiche der Speicher 1104, 1105. Das Bezugszeichen 1102 bezeichnet eine Schreib/Lese-Steuereinrichtung, die den Bereichbezeichnungs-Zwischenspeicher 1112 und die Chipauswählerzeugerschaltung 1106 aufweist.

Fig. 4 zeigt ein Speicherkennfeld in der CPU 1101 für den Fall einer 4-Bit-Adresse bei diesem Ausführungsbeispiel der Erfindung. Wenn das Bereichbezeichnungssignal "0" ist, stellen alle Bereiche der Adresse 0000—1111 Lesen oder Doppelschreiben für den Speicher 1104 dar, und wenn das Bereichbezeichnungssignal "1" ist, stellen alle Bereiche der Adresse 0000—1111 Lesen oder Doppelschreiben für den Speicher 1105 dar.

25 Die Arbeitsweise ist wie folgt: Wenn die CPU 1101 den Inhalt des Speichers 1104 liest, führt sie einen Lesezugriff durch, nachdem sie die Information "0" in den Bereichbezeichnungszwischenspeicher 1112 eingegeben hat. Die Chipauswählerzeugerschaltung 1106 gibt an den Speicher 1104 ein Chipansteuersignal 1109 ab, wenn die Ausgabe des Bereichbezeichnungszwischenspeichers 1112 "0" und der Zugriff ein Lesezugriff ist. Danach ist die Arbeitsweise ähnlich wie beim ersten Ausführungsbeispiel. Mit anderen Worten, der Speicher 30 1104 empfängt das Chipansteuersignal und teilt in Abhängigkeit davon die gelesenen Daten der Speicheradresse, die der vom CPU-Bus 1108 empfangenen Adresse entsprechen, durch Übermittlung der gleichen Daten über den CPU-Bus 1108 der CPU 1101 mit. Außerdem gibt dieser Speicher das Zugriffsvollzugssignal 1109 aus. Da der Speicher 1105 kein Chipansteuersignal empfängt, führt er keine Operation durch. Der Datenbestätigungserzeugerteil 1111 gibt das Datenbestätigungssignal 1107 bei Empfang des Zugriffsvollzugssignals 1109 aus, so daß der Inhalt des Speichers 1104 gelesen werden kann.

35 Wenn andererseits die CPU 1101 den Inhalt des Speichers 1105 liest, wird zunächst die Information "1" in den Bereichbezeichnungszwischenspeicher 1112 eingegeben und danach ein Lesezugriff vorgenommen. Die Chipauswählerzeugerschaltung 1106 gibt das Chipansteuersignal 1110 an den Speicher 1105 ab, weil die Ausgabe des Bereichbezeichnungszwischenspeichers "1" ist und weil der Zugriff eine Leseadresse ist. Anschließend erfolgt eine Operation ähnlich wie beim ersten Ausführungsbeispiel.

40 Wenn die CPU 1101 das Doppelschreiben durchführt, besteht keine Notwendigkeit, besondere Daten in den Bereichbezeichnungszwischenspeicher 1112 einzugeben. Selbst wenn "0" oder "1" in den Bereichbezeichnungszwischenspeicher 1112 eingegeben wird, gibt die Chipauswählerzeugerschaltung 1106 an beide Speicher 1104, 1105 ein Chipansteuersignal ab, weil es sich bei dem Zugriff um einen Schreibzugriff handelt, gleichgültig, welche 45 Ausgabe vom Bereichbezeichnungszwischenspeicher 1112 zur Verfügung steht. Danach ist die Arbeitsweise ähnlich wie beim ersten Ausführungsbeispiel. Mit anderen Worten, die Speicher 1104, 1105 empfangen das Chipansteuersignal und schreiben die Schreibdaten in die Speicheradresse, die vom CPU-Bus 1108 empfangen wird, und geben die Zugriffsvollzugssignale 1109, 1110 ab. Der Datenbestätigungserzeugerteil 1111 gibt das Datenbestätigungssignal 1107 erstmals ab, wenn diese beiden Signale ausgegeben werden, wodurch es möglich 50 ist, die gleichen Daten in einem einmaligen Schreibvorgang in beide Speicher einzugeben.

Die vorstehend beschriebene Konstruktion ist besonders dann wirksam, wenn der Speicher 1104 bei einem gewöhnlichen Vorgang und der Speicher 1105 statt des Speichers 1104 benutzt wird, wenn eine Behinderung auftritt.

Bei diesem zweiten Ausführungsbeispiel ist, wie schon erwähnt, im Vergleich zum ersten Ausführungsbeispiel 55 ein E/A-Anschluß vorgesehen, um ein Bereichsschaltssystem benutzen zu können. Durch Ausgabe eines Befehls zum Schalten eines Bereichs kann unter wirksamer und ausreichender Nutzung des Speicherplatzes doppelt geschrieben und individuell gelesen werden.

3. Ausführungsbeispiel

60 Fig. 5 zeigt eine Informationsverarbeitungsvorrichtung gemäß einem dritten Ausführungsbeispiel der Erfindung. Mit diesem Ausführungsbeispiel wird ein individuelles Lesen des Speicherinhalts des eigenen Systems und des anderen Systems frei durchgeführt. In der Figur stellen durch strichpunktierte Linien abgeteilte Bereiche einzelne CPU-Karten dar. Eine CPU-Karte bietet ein CPU-System, bei dem eine Zentraleinheit und Speicher 65 oder dergleichen auf einer Leiterplatte oder Schaltkarte enthalten sind. Im jeweiligen CPU-Kartensystem bezeichnen die Bezugszeichen 1201, 1204 jeweils eine Zentraleinheit, die Arbeitsgänge entsprechend einem in einem Programm beschriebenen, verordneten Verfahren abarbeiten. In diesen beiden Zentraleinheiten 1201, 1204 sind Speicher 1202 bzw. 1205 enthalten. Die Zentraleinheiten CPU 1201, 1204 sowie die Speicher 1202, 1205

sind über Datenbusse 1206, 1207 verbunden. Ein Zwischensystem-Datenbus 1212 verbindet das die CPU 1201 enthaltende System mit dem die CPU 1204 enthaltenden System. Zum Verbinden oder Trennen des Zwischensystem-Datenbus 1212 mit dem Datenbus 1206 bzw. 1207 dienen Bus-Schaltglieder 1214, 1217. Chipauswahlersignale zum Aktivieren der Speicher 1202, 1205 werden von Chipauswählerzeugerschaltungen 1215 bzw. 1218 erzeugt. Das Öffnen und Schließen der Busschaltglieder 1214, 1217 wird von Gattersteuereinheiten 1216, 1219 gesteuert. Das Bezugszeichen 1003 bezeichnet eine Schreib/Leseeinrichtung, die die Chipauswählerzeugerschaltung 1215 und die Gattersteuereinheit 1216 aufweist und dazu dient, mit Sicherheit die gleichen Informationen in die CPU-Karte der anderen Seite einzuschreiben, wenn sie diese Informationen in den Speicher der CPU-Karte der einen Seite eingibt. Dadurch erlaubt sie das unabhängige Lesen des Speicherinhalts der Karte des eigenen Systems und der Karte des anderen Systems mittels getrennter Adressen. Das Bezugszeichen 1004 bezeichnet eine Schreib/Leseeinrichtung, welche die Chipauswählerzeugerschaltung 1218 und die Gattersteuereinheit 1219 aufweist, um mit Sicherheit die gleiche Information in die CPU des anderen Systems einzuschreiben, wenn sie Information in den Speicher der CPU-Karte des eigenen Systems eingibt, wodurch das Lesen des Speicherinhalts der Karte des eigenen Systems und das Lesen des Speicherinhalts der Karte des anderen Systems unabhängig mittels getrennter Adressen durchgeführt werden kann. Die Bezugszeichen 1220, 1221 bezeichnen Speicherschreibsignale, die von den Speicherauswählerzeugerschaltungen 1215, 1218 an die Speicher 1202 bzw. 1225 abgegeben werden. Die Bezugszeichen 1222, 1223 bezeichnen Speicherlesesignale, die von den Chipauswählerzeugerschaltungen 1215, 1218 an die Speicher 1202 bzw. 1205 abgegeben werden. Die Bezugszeichen 1224, 1225 bezeichnen Zugriffssignale zum anderen System, die von den Gattersteuereinheiten 1216, 1219 an die Gattersteuereinheiten 1219 bzw. 1216 abgegeben werden. Die Bezugszeichen 1226, 1227 bezeichnen Steuersignale für die Busschaltglieder, die von den Gattersteuereinheiten 1216, 1219 an die Busschaltglieder 1214 bzw. 1217 abgegeben werden. Die Bezugszeichen 1228, 1229 bezeichnen Mitteilungssignale für Zugriff zum anderen System, die von den Gattersteuereinheiten 1216, 1219 an die Chipauswählerzeugerschaltungen 1215 bzw. 1218 abgegeben werden.

Fig. 6 zeigt ein Speicherkennfeld für alle Speicher jedes Systems bei diesem dritten Ausführungsbeispiel. Dem Adressenbereich von X bis $X+Y-1$ ist das Doppelschreiben und das Lesen des eigenen Systems zugeordnet, während dem Adressenbereich von $X+Y$ bis $X+2Y-1$ das Lesen des anderen Systems zugeordnet ist. Das bedeutet, daß das Speicherkennfeld in zwei Bereiche unterteilt ist, nämlich den Bereich zum Doppelschreiben und Lesen des Eigensystems sowie den Bereich zum Lesen des anderen Systems.

Die Arbeitsweise ist wie folgt: Das Speicherkennfeld der Zentraleinheit in jedem System sieht so aus, wie in Fig. 6 dargestellt. Wenn die CPU des Systems der einen Seite (zum Beispiel CPU 1204 des STBY-Systems) eine Adresse erzeugt, die angibt, daß Daten in den Eigensystem-Speicher 1205 eines Speicherkennfeldes geschrieben werden sollen, wird die Speicheradresse und das Schreibsignal über den Datenbus 1207 in die Chipauswählerzeugerschaltung 1218 und die Gattersteuereinheit 1219 eingegeben. Die Chipauswählerzeugerschaltung 1218 dekodiert diese Signale und gibt das Speicherschreibsignal 1221 ab. Die Speicheradresse und Schreibdaten werden von der CPU 1204 über den Datenbus 1207 in den Speicher 1205 eingegeben, und anhand dessen und des Speicherschreibsignals 1221 erfolgt das Schreiben. Zur gleichen Zeit dekodiert die Gattersteuereinheit 1219 diese Signale und liefert das Zugriffssignal 1225 zum anderen System und schließt darüber hinaus das Busschaltglied 1217 durch Ausgabe des Gattersteuersignals 1227. Die Gattersteuereinheit 1216 des anderen Systems, nämlich des ACT-Systems, empfängt von der Gattersteuereinheit 1219 das Zugriffssignal 1225 für das andere System und liefert das Gattersignal 1226 zum Schließen des Busschaltgliedes 1214 unter der Annahme, daß die CPU 1201 keinen Zugriff zum Speicher 1202 nimmt. So werden die von der CPU 1204 gelieferten Speicheradressen-Schreibdaten und das Schreibsignal über den Datenbus 1207, das Busschaltglied 1217, den Zwischensystemdatenbus 1212, das Busschaltglied 1214 und den Datenbus 1206 in die Chipauswählerzeugerschaltung 1215 eingegeben. Hierdurch kann die Chipauswählerzeugerschaltung 1215 das Speicherschreibsignal 1220 hervorbringen und schreibt die gleichen Daten in den Speicher 1202, die auch in den Speicher 1205 eingegeben werden. Auf diese Weise erfolgt die Duplexeingabe in den Speicher.

Wenn als nächstes die CPU 1204 den Inhalt des Speichers 1205 des eigenen Systems wissen will, gibt sie eine Adresse in einem Adressenbereich ab, dem das Lesen des Eigensystems im Speicherkennfeld gemäß Fig. 6 zugeordnet ist. Hierdurch wird die Speicheradresse und das Lesesignal über den Datenbus 1207 in die Schaltung 1218 zum Erzeugen des Chipansignals und die Gattersteuereinheit 1219 eingegeben. Zunächst dekodiert die Chipauswählerzeugerschaltung 1218 diese Signale und gibt das Speicherlesesignal 1223 ab. Der Speicher 1205 teilt in Abhängigkeit von der Speicheradresse, die über den Datenbus 1207 eingegeben wird, und das Speicherlesesignal 1223 die gelesenen Daten der CPU 1204 mit, wobei sie diese über den Datenbus 1207 überträgt. Dann nimmt die Gattersteuereinheit 1219 in ähnlicher Weise eine Dekodierung vor, kommt dabei aber zu dem Schluß, daß es sich um das Lesen des Eigensystems handelt und gibt deshalb kein Signal ab.

Wenn andererseits die CPU 1204 den Inhalt des Speichers 1202 des anderen Systems wissen möchte, gibt sie eine Adresse in einem Adressenbereich ab, dem das Lesen des anderen Systems im Adressenkennfeld gemäß Fig. 6 zugeordnet ist. Hierdurch wird über den Datenbus 1207 die Speicheradresse und das Lesesignal in die Chipauswählerzeugerschaltung 1218 und die Gattersteuereinheit 1219 eingegeben. Die Chipauswählerzeugerschaltung 1218 dekodiert zunächst diese Signale und erkennt folglich, daß es sich um das Lesen des anderen Systems handelt, so daß sie kein Signal abgibt. Dann erfolgt eine ähnliche Dekodierung dieser Signale in der Gattersteuereinheit 1219, die daraufhin ein Zugriffssignal für das andere System 1225 an die Gattersteuereinheit 1216 ebenso wie das Gattersteuersignal 1227 zum Schließen des Busschaltgliedes 1217 abgibt. Die Gattersteuereinheit 1216 für das andere System empfängt das Zugriffssignal für das andere System und gibt das Gattersteuersignal 1226 zum Schließen des Busschaltgliedes 1214 unter der Annahme ab, daß die CPU 1201 keinen Zugriff zum Speicher 1202 nimmt. Außerdem gibt sie das Mitteilungssignal 1228 für Zugriff zum anderen System an die Chipauswählerzeugerschaltung 1215 ab. Die von der CPU 1204 ausgegebenen Signale, nämlich die Speicher-

adresse und das Lesesignal werden über den Datenbus 1207, das Busschaltglied 1217, den Zwischensystemdatenbus 1212, das Busschaltglied 1214 und den Datenbus 1206 in die Chipauswählerzeuerschaltung 1215 eingegeben. Die Chipauswählerzeuerschaltung 1215 gibt in Abhängigkeit von diesen Signalen und dem Mitteilungssignal 1228 für Zugriff zum anderen System von der Gattersteuereinheit 1216 das Speicherlesesignal 1222 ab, und der Speicher 1202 teilt der CPU 1204 die gelesenen Daten mit, wobei diese auf dem Datenbus 1206 über das Busschaltglied 1214, den Zwischensystemdatenbus 1212, das Busschaltglied 1217 und den Datenbus 1207 übertragen werden.

Bei diesem dritten Ausführungsbeispiel ist, wie schon erwähnt, das Speicherkennfeld so ausgelegt und unterteilt, daß es einen Adressenbereich für das Doppelschreiben oder Lesen des Eigensystems und einen Adressenbereich zum Lesen des anderen Systems hat. Die Steuerung des Öffnens und Schließens des Busschaltgliedes, welches den Zwischensystemdatenbus entweder anschließt oder auch nicht und die Steuerung der Wahl der jeweiligen Speicher der Systeme werden in Abhängigkeit vom Schreib- oder Lesesignal sowie vom Adressensignal durchgeführt, welche die CPU ausgibt. Hierdurch kann das Lesen des Speicherinhalts des eigenen Systems sowie des anderen Systems frei durchgeführt werden. Es ist also möglich, zu erkennen, wo im Duplexsystem beim Summenprüfen oder dergleichen ein Fehler auftritt, so daß im Duplexsystem umgeschaltet werden kann und es nicht zu einem Stillstand kommt. Da der Speicher für die Ein- oder Ausgabe mittels eines Chipansteuersystems gewählt wird, kann zur gleichen Zeit in den Speicher des eigenen Systems und in den Speicher des anderen Systems geschrieben werden, das heißt, es ist eine gleichzeitige Eingabe möglich, wodurch die Identität des Speicherinhalts immer gewährleistet ist.

4. Ausführungsbeispiel

Bei dem vorstehend beschriebenen Ausführungsbeispiel sind der Adressenbereich für das Doppelschreiben und der Adressenbereich für das Lesen des Eigensystems gleich und unterscheiden sich durch Hardware vom Schreibsignal und Lesesignal auf dem Datenbus. Es ist aber auch möglich, ein Speicherkennfeld gemäß Fig. 7 zu benutzen, bei dem die Adressen für das Doppelschreiben und die Adressen für das Lesen des Eigensystems auch voneinander getrennt sind, wobei das System hinsichtlich der Hardware nur durch das Lesen der Adresse verwirklicht ist.

Fig. 7 zeigt ein Speicherkennfeld für Speicher in entsprechenden Systemen gemäß einem vierten Ausführungsbeispiel der Erfindung. Hier ist der Adressenbereich von X bis $X+Y-1$ für das Doppelschreiben, der Adressenbereich von $X+Y$ bis $X+2Y-1$ für das Lesen des Eigensystems und der Adressenbereich von $X+2Y$ bis $X+3Y-1$ für das Lesen des anderen Systems bestimmt.

Der Blockaufbau der Vorrichtung ist bei diesem vierten Ausführungsbeispiel ebenso wie in Fig. 5 gezeigt, außer daß es sich bei dem an die Chipauswählerzeuerschaltung und die Gattersteuereinheit angelegten Signal nur um das Adressensignal handelt.

Die Betriebsweise ist wie folgt: Die Speicherkennfelder in der Zentraleinheit der jeweiligen Systeme sind so bezeichnet, wie das in Fig. 7 dargestellt ist. Wenn die CPU der einen Seite (zum Beispiel CPU 1204 des STBY-Systems) eine Adresse erzeugt, die in den Speicher 1205 des Eigensystems in einem Speicherkennfeld zu schreibende Daten bezeichnet, wird die Speicheradresse über den Datenbus 1207 in die Chipauswählerzeuerschaltung 1218 und die Gattersteuereinheit 1219 eingegeben. Die Chipauswählerzeuerschaltung 1217 dekodiert diese Signale und gibt ein Speicherschreibsignal 1221 ab. Die Speicheradresse und die Schreibdaten werden über den Datenbus 1207 von der CPU 1204 in den Speicher 1205 eingegeben, und anhand dieser und des Speicherschreibsignals 1221 erfolgt das Schreiben. Zur gleichen Zeit dekodiert die Gattersteuereinheit 1219 diese Signale und gibt das Zugriffssignal 1225 zum anderen System ebenso wie das Gattersteuersignal 1227 ab, um das Busschaltglied 1217 zu schließen. Die Gattersteuereinheit 1216 des ACT-Systems, als dem anderen System, empfängt das Zugriffssignal 1225 für das andere System von der Gattersteuereinheit 1219 und gibt das Gattersignal 1226 zum Schließen des Busschaltgliedes 1214 unter der Annahme ab, daß die CPU 1201 keinen Zugriff zum Speicher 1202 hat. Hierdurch wird die Speicheradresse und die Schreibdatenausgabe von der CPU 1204 über den Datenbus 1207, das Busschaltglied 1217, den Zwischensystemdatenbus 1212, das Busschaltglied 1214 und den Datenbus 1206 in die Chipauswählerzeuerschaltung 1215 eingegeben. Daraufhin erzeugt die Chipauswählerzeuerschaltung 1215 ein Speicherschreibsignal 1220 und schreibt die gleichen Daten wie die in den Speicher 1205 eingegebenen Daten. Auf diese Weise wird das Doppelschreiben in die Duplexspeicher durchgeführt.

Wenn als nächstes die CPU 1204 den Inhalt des Speichers 1205 des eigenen Systems wissen will, gibt sie eine Adresse im Adressenbereich für das Lesen des Eigensystems auf dem Speicherkennfeld gemäß Fig. 7 ab, wodurch eine Speicheradresse und ein Lesesignal über den Datenbus 1207 an die Chipauswählerzeuerschaltung 1218 und die Gattersteuereinheit 1219 gelangen. Daraufhin werden zunächst diese Signale von der Chipauswählerzeuereinheit 1218 dekodiert, um das Speicherlesesignal 1223 abgeben zu können. Und der Speicher 1205, der das Signal 1223 empfängt, stellt seinen Speicherinhalt auf dem Datenbus 1207 in Abhängigkeit von der über den Datenbus 1207 eingegebenen Speicheradresse zur Verfügung und informiert die CPU 1204 entsprechend. Dann wird eine ähnliche Dekodierung von der Gattersteuereinheit 1219 vorgenommen, die dabei feststellt, daß es sich um das Lesen des eigenen Systems handelt, so daß kein Signal abgegeben wird.

Wenn andererseits die CPU 1204 den Inhalt des Speichers 1202 des anderen Systems wissen will, gibt sie eine Adresse für das Lesen des anderen Systems im Speicherkennfeld gemäß Fig. 7 ab. Hierdurch wird über den Datenbus 1207 die Speicheradresse und das Lesesignal an die Chipauswählerzeuerschaltung 1218 und die Gattersteuereinheit 1219 angelegt. Die Chipauswählerzeuerschaltung 1218 dekodiert zunächst diese Signale und stellt dabei fest, daß es sich um das Lesen des anderen Systems handelt, so daß kein Signal abgegeben wird. Dann nimmt die Gattersteuereinheit 1219 eine ähnliche Dekodierung vor und gibt das Zugriffssignal 1215 für das

andere System an die Gattersteuereinheit 1216 ebenso wie das Gattersteuersignal 1227 zum Schließen des Busschaltgliedes 1217 ab. Die Gattersteuereinheit 1216 des anderen Systems empfängt das Zugriffssignal zum anderen System und gibt das Gattersteuersignal 1226 zum Schließen des Busschaltgliedes 1214 unter der Annahme ab, daß die CPU 1201 keinen Zugriff zum Speicher 1202 hat. Ferner gibt sie das Mitteilungssignal 1228 für Zugriff zum anderen System an die Chipauswählerzeugerschaltung 1215 ab. Die Speicheradresse und das Lesesignal, die von der CPU 1204 ausgegeben werden, sowie das Lesesignal werden über den Datenbus 1207, das Busschaltglied 1217, den Zwischensystemdatenbus 1212, das Busschaltglied 1214 und den Datenbus 1206 an die Chipauswählerzeugerschaltung 1215 angelegt. Die Chipauswählerzeugerschaltung 1215 erzeugt in Abhängigkeit von diesen Signalen und des Mitteilungssignals 1228 für Zugriff zum anderen System von der Gattersteuereinheit 1216 das Speicherlesesignal 1222, und der Speicher 1202 überträgt die gelesenen Daten über den Datenbus 1206 und informiert die CPU 1204 darüber auf dem Wege über das Busschaltglied 1214, den Zwischensystemdatenbus 1212, das Busschaltglied 1217 und den Datenbus 1207.

Bei diesem Ausführungsbeispiel ist, wie aus der Beschreibung hervorgeht, das Speicherkennfeld so gestaltet und unterteilt, daß es einen Adressenbereich für das Doppelschreiben, einen Adressenbereich für das Lesen des Eigensystems und einen Adressenbereich für das Lesen des anderen Systems aufweist. Die Steuerung des Öffnens und Schließens des Busschaltgliedes, das Anschließen oder Trennen des Zwischensystemdatenbus sowie die Auswahlsteuerung der Speicher der jeweiligen Systeme erfolgt anhand der von der CPU ausgegebenen Adressensignale. Hierdurch kann der Speicherinhalt des eigenen Systems sowie des anderen Systems frei gelesen werden, und auch die Hardware ist bis zu einem gewissen Grad vereinfacht.

5. Ausführungsbeispiel

Fig. 8 zeigt eine Informationsverarbeitungsvorrichtung gemäß einem fünften Ausführungsbeispiel der Erfindung. Bei diesem Ausführungsbeispiel kann eine Vielzahl von Zentraleinheiten gleichzeitig Zugriff zu den Speichern nehmen, wenn diese Vielzahl von Zentraleinheiten sowie eine Vielzahl von Speichern mit einem einzigen CPU-Bus verbunden ist. Bei diesem Ausführungsbeispiel sind vorgesehen: Zentraleinheiten CPU 1301a, 1301b, die Arbeitsgänge entsprechend einem in einem Programm beschriebenen, verordneten Verfahren abarbeiten, Speicher 1302a, 1302b, welche von den CPU 1301a, 1301b verarbeitete Daten speichern, sowie Datenbusse 1303a, 1303b, welche die Zentraleinheiten CPU 1301a, 1301b über Busschaltglieder 1305a, 1305b verbinden, welche die E/A-Daten der CPU 1301a, 1301b an die CPU-Busse 1303a, 1303b übermitteln, wenn sie geöffnet sind, Adressendekodierer 1306a, 1306b zum Dekodieren der Ausgabedaten der CPU 1301a, 1301b und zum Übertragen derselben an eine Busentscheidungsschaltung 1304, ein in zwei Richtungen wirksames Gatter oder Zweiwegegatter 1309, welches die CPU-Busse 1303a, 1303b anschließt oder abtrennt. Die Busentscheidungsschaltung 1304 dient der Entscheidung über die Belegung der CPU-Busse 1303a, 1303b, indem sie eine Auf/Zu-Steuerung der Busschaltglieder 1305a, 1305b sowie des Zweiwegegatters 1309 durchführt. Ferner ist eine Zugriffsteuereinrichtung 1005 vorgesehen, die unter Einschluß der Busentscheidungsschaltung 1304 und der Adressendekodierer 1306a, 1306b es den Speichern der jeweiligen Zentraleinheiten erlaubt, gleichzeitig Zugriff zu nehmen, je nach der Kombination von Speichern, zu denen die jeweiligen Zentraleinheiten Zugriff nehmen. Die Bezugszeichen 1307a, 1307b bezeichnen Speicherzugriffsanforderungssignale, die von den Adressendekodierern 1306a bzw. 1306b beim Dekodieren der Ausgabedaten der CPU 1301a, 1301b geliefert werden. Die Bezugszeichen 1308a, 1308b bezeichnen Busschaltglied-Steuersignale, die von der Busentscheidungsschaltung 1304 abgegeben werden. Das Bezugszeichen 1310 bezeichnet ein Steuersignal für das Zweiwegegatter, welches die Busentscheidungsschaltung 1304 liefert. Die Bezugszeichen 1311a, 1311b bezeichnen Signale, welche die Speichernummer mitteilen, und werden von den Adressendekodierern 1306a bzw. 1306b ausgegeben.

Die Betriebsweise ist wie folgt: Wenn die CPU 1301a Zugriff nimmt zum Speicher 1302a, gibt der Adressendekodierer 1306a das Speicherzugriffsanforderungssignal 1307a an die Busentscheidungsschaltung 1304 ab und teilt dieser gleichfalls mit, daß die Speicherzugriffsanforderung vom Speichernummernmitteilungssignal 1311a durchgeführt wird. Die Busentscheidungsschaltung 1304 erlaubt der CPU 1301a Zugriff zu einem Speicher, indem sie ein Busschaltglied-Steuersignal 1308a zum Schließen des Busschaltgliedes 1305a abgibt, während sie das Steuersignal 1310 für das Zweiwegegatter nicht abgibt, so daß das Zweiwegegatter 1309 offen bleibt, wenn die andere CPU 1301b keinen Zugriff zum Speicher 1302a hat, das heißt wenn der Adressendekodierer 1306b das Adressen-anforderungssignal 1307b nicht an die Busentscheidungsschaltung 1304 liefert oder die Zentraleinheit 1301b Zugriff zum Speicher 1302b hat. Wenn andererseits die Zentraleinheit CPU 1301b bereits Zugriff zum Speicher 1302a hat, weil das Steuersignal 1310 für das Zweiwegegatter ausgegeben und das Zweiwegegatter 1309 geschlossen ist, erlaubt die Busentscheidungsschaltung 1304 der CPU 1301a keinen Zugriff zum Speicher. Im Gegenteil erlaubt sie der CPU 1301a erst dann Zugriff zu einem Speicher, wenn der Zugriff durch die CPU 1301b beendet ist.

Die Kombination, gemäß der beide Zentraleinheiten gleichzeitig Zugriff haben dürfen, ist ein Fall, bei dem die CPU 1301a Zugriff zum Speicher 1302a und die CPU 1301b Zugriff zum Speicher 1302b hat, wie aus der nachfolgenden Tabelle 1 hervorgeht.

Tabelle 1

CPU	CPU 1a		
	Speicher 2a		Speicher 2b
1	Speicher 2a	Zugriff nur für CPU einer Seite	Zugriff nur für CPU einer Seite
b	Speicher 2b	beide CPU dürfen Zugriff nehmen	Zugriff nur für CPU einer Seite

Bei diesem Ausführungsbeispiel handelt es sich um einen Fall, bei dem zwei Zentraleinheiten und zwei Speicher an einen einzigen CPU-Bus angeschlossen sind, in der Mitte des CPU-Bus ein Zweigegegatter vorgesehen ist, so daß der einzige CPU-Bus in zwei Abschnitte unterteilt ist. Wenn deshalb die CPU Zugriff zum Speicher des Eigensystems hat, kann die andere CPU Zugriff zum Speicher des anderen Systems nehmen, wodurch die bisherige Einschränkung der Verarbeitungskapazität pro Zeiteinheit größtenteils wegfällt.

6. Ausführungsbeispiel

Bei dem vorstehend beschriebenen fünften Ausführungsbeispiel sind zwei Speicher an die CPU Busleitungen 1303a, 1303b angeschlossen. Es kann aber auch eine Informationsverarbeitungsvorrichtung von ähnlichem Aufbau mit drei oder mehr Speichern versehen werden.

Fig. 6 zeigt ein sechstes Ausführungsbeispiel der Erfindung, bei dem Bezugszeichen 1301a, 1301b Zentraleinheiten bezeichnen, die Arbeitsgänge entsprechend einem in einem Programm beschriebenen, vorherbestimmten Verfahren abarbeiten. Die Bezugszeichen 1302a, 1302b ... 1302z bezeichnen Speicher, in denen von den CPU 1301a, 1301b verarbeitete Daten gespeichert werden. Die Bezugszeichen 1303a, 1303b ... 1303z bezeichnen CPU-Busleitungen zum Anschluß der CPU 1301a, 1301b über Busschaltglieder 1305a, 1305b, welche Eingabe/Ausgabedaten der CPU 1301a, 1301b an die CPU-Busleitungen weitergeben, wenn sie geöffnet sind. In der Bezugszeichen 1306a, 1306b bezeichnen Adressendekodierer zum Dekodieren der Ausgabedaten der CPU 1301a, 1301b und zur Weitergabe des dekodierten Ergebnisses an die Busentscheidungsschaltung 1304. Die Bezugszeichen 1309a ... 1309y bezeichnen in zwei Richtungen wirksame Schaltglieder oder Zweigegegatter, die eine Verbindung zwischen benachbarten CPU-Bussen 1303a, 1303b ... 1303z herstellen oder nicht. In der Busentscheidungsschaltung 1304 wird über die Belegung des CPU-Bus 1303 durch eine Auf/Zu-Steuerung der Zweigegegatter 1309a, 1309b ... 1309y entschieden. Das Bezugszeichen 1006 bezeichnet eine Zugriffsteuereinrichtung, welche die Busentscheidungsschaltung 1304 und die Adressendekodierer 1306a, 1306b aufweist und den Zentraleinheiten einen gleichzeitigen Zugriff zu verschiedenen Speichern in Abhängigkeit von der Kombination der Speicher erlaubt, zu denen die jeweiligen Zentraleinheiten Zugriff haben. Die Bezugszeichen 1307a, 1307b bezeichnen Speicherzugriffsanforderungssignale, die von den Adressendekodierern 1306a, 1306b ausgegeben werden, wenn sie die Ausgabedaten der Zentraleinheiten CPU 1301a bzw. 1301b dekodieren. Die Bezugszeichen 1308a, 1308b bezeichnen Steuersignale für die Busschaltglieder, die von der Busentscheidungsschaltung 1304 zur Verfügung gestellt werden. Die Bezugszeichen 1310a ... 1310y bezeichnen Zweigegegatter-Steuersignale, die von der Busentscheidungsschaltung 1304 kommen. Die Bezugszeichen 1311a, 1311b bezeichnen Signale zur Mitteilung der Speichernummer, welche von den Adressendekodierern 1306a bzw. 1306b ausgegeben werden.

Die Arbeitsweise ist wie folgt: Wenn die CPU 1301a Zugriff zum Speicher 1302a nimmt, gibt der Adressendekodierer 1306a an die Busentscheidungsschaltung 1304 ein Speicherzugriffsanforderungssignal 1307a ab und gibt darüber Auskunft, daß es Zugriff zum Speicher 1302a mittels des Speichernummernmitteilungssignals 1311a sucht. Die Busentscheidungsschaltung 1304 erlaubt der CPU 1301a Zugriff zu einem Speicher, indem sie das Steuersignal 1308a für das Busschaltglied zum Schließen des Busschaltgliedes 1305a abgibt aber keine Zweigegegatter-Steuersignale 1310a ... 1310y abgibt, damit die Zweigegegatter 1309a ... 1309y offen bleiben, wenn die andere CPU 1301b keinen Zugriff zum Speicher 1302a hat oder, mit anderen Worten, wenn der Adressendekodierer 1306b kein Speicherzugriffsanforderungssignal 1307b an die Busentscheidungsschaltung 1304 abgibt oder die CPU 1301b Zugriff zu einem der Speicher 1302b ... 1302z hat. Wenn im Gegensatz dazu die CPU 1301b Zugriff zum Speicher 1302a hat, erlaubt die Busentscheidungsschaltung 1304, weil es sich um einen Zustand handelt, bei dem die Zweigegegatter-Steuersignale 1310a ... 1310y zum Schließen der Zweigegegatter 1309a ... 1309y ausgegeben werden, der CPU 1301a keinen Zugriff zum Speicher. Statt dessen erhält die CPU 1301a erst nach Beendigung des Zugriffs der CPU 1301b Zugriff zum Speicher.

Die Kombination, bei der gemäß diesem Ausführungsbeispiel beide Zentraleinheiten gleichzeitig Zugang haben können, ist in der folgenden Tabelle 2 dargestellt.

Tabelle 2

CPU 1a								
		Speicher 2a	Speicher 2b	Speicher 2c	Speicher 2c	Speicher 2y	Speicher 2z
	Speicher 2a	X	X	X	X	X	X
C	Speicher 2b	O	X	X	X	X	X
P	Speicher 2c	O	O	X	X	X	X
U	Speicher 2d	O	O	O	X	X	X
1
b
	Speicher 2y	O	O	O	O	X	X
	Speicher 2z	O	O	O	O	O	X

O: gleichzeitiger Zugriff ist möglich

X: gleichzeitiger Zugriff ist unmöglich

Bei diesem Ausführungsbeispiel sind für den Fall, daß zwei Zentraleinheiten und drei oder mehr Speicher an einen einzigen CPU-Bus angeschlossen sind, Zweiweggatter zwischen den an den CPU-Bus angeschlossen entsprechenden Speichern vorgesehen, und der CPU-Bus ist in Teilbereiche entsprechend den jeweiligen Speichereinheiten unterteilt. Wenn bei diesem Ausführungsbeispiel der Zustand besteht, daß eine Zentraleinheit Zugriff zu einem Speicher hat, kann die andere Zentraleinheit Zugriff zu irgendeinem Speicher nehmen, der näher zu ihr als zur anderen Zentraleinheit liegt. Auch hier kann die Einschränkung der Verarbeitungskapazität pro Zeiteinheit weitgehend aufgehoben werden.

Patentansprüche

1. Informationsverarbeitungsvorrichtung gekennzeichnet durch

- eine Zentraleinheit (CPU 1101);
- einen ersten und zweiten Speicher (1104, 1105);
- einen einzigen CPU-Bus (1108), mit dem der erste und zweite Speicher zum Übertragen einer Speicheradresse und eines Schreib/Lese-Steuersignals, die von der Zentraleinheit ausgegeben werden, verbunden ist;
- eine Einrichtung zum Steuern von Schreiben/Lesen in den und aus dem ersten und zweiten Speicher, zum Dekodieren der Speicheradresse und des Schreib/Lese-Steuersignals, um sowohl den ersten als auch den zweiten Speicher in einen Zustand zu versetzen, in dem Schreiben möglich ist, oder nur entweder den ersten oder den zweiten Speicher in einen Zustand zu versetzen, in dem Lesen möglich ist.

2. Informationsverarbeitungsvorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die von der Zentraleinheit ausgegebenen Speicheradressen für den ersten und zweiten Speicher unterschiedliche Adressen sind, daß die Schreib/Lese-Steuereinrichtung sowohl den ersten als auch den zweiten Speicher dann in einen Zustand versetzt, in dem Schreiben möglich ist, wenn die Speicheradresse zu einem ersten Adressenbereich gehört und das Schreib/Lese-Steuersignal Schreiben anzeigt, daß der erste Speicher in einen Zustand versetzt wird, in dem Lesen möglich ist, wenn die Speicheradresse zu einem ersten Adressenbereich gehört und das Schreib/Lese-Steuersignal Lesen anzeigt, und daß der zweite Speicher in einen Zustand versetzt wird, in dem Lesen möglich ist, wenn die Speicheradresse zu einem zweiten Adressenbereich gehört und das Schreib/Lese-Steuersignal Lesen anzeigt.

3. Informationsverarbeitungsvorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die von der Zen-

traleinheit ausgegebenen Speicheradressen für den ersten und zweiten Speicher die gleichen Adressen sind, daß die Zentraleinheit ein Bereichbezeichnungssignal ausgibt, welches entweder den ersten oder den zweiten Speicher zusätzlich zur Speicheradresse und dem Schreib/Lese-Steuersignal bezeichnet, daß die Schreib/Lese-Steuereinrichtung sowohl den ersten als auch den zweiten Speicher in einen Zustand versetzt, in dem Schreiben möglich ist, wenn das Schreib/Lese-Steuersignal Schreiben anzeigt, den ersten Speicher in einen Zustand versetzt, in dem Lesen möglich ist, wenn das Bereichbezeichnungssignal den ersten Speicher bezeichnet und das Schreib/Lese-Steuersignal Lesen anzeigt und den zweiten Speicher zum Lesen aktiviert, wenn das Bereichbezeichnungssignal den zweiten Speicher bezeichnet und das Schreib/Lese-Steuersignal Lesen anzeigt (Fig. 3).

4. Informationsverarbeitungsvorrichtung, gekennzeichnet durch eine erste und eine zweite CPU-Karte jeweils mit einer Zentraleinheit (1201, 1204), einem Speicher (1202, 1205) und einem die Zentraleinheit mit dem Speicher verbindenden Datenbus (1206, 1207),

— einen einzigen Zwischensystemdatenbus (1212), der die erste und zweite CPU-Karte miteinander verbindet,

— eine erste und eine zweite Gattereinrichtung zum Verbinden/Trennen des Zwischensystemdatenbusses mit dem oder von dem entsprechenden ersten oder zweiten Datenbus,

— Gattersteuereinrichtungen, die jeweils in die erste und zweite CPU-Karte eingeschlossen sind zum Dekodieren der Adressenausgabe der entsprechenden ersten und zweiten Zentraleinheit und um die erste und zweite Gattereinrichtung in gesperrten Zustand zu bringen, wenn das dekodierte Ergebnis anzeigt, daß entweder von der ersten oder der zweiten Zentraleinheit in beide Speicher Daten geschrieben werden sollen, um die erste und zweite Gattereinrichtung in gesperrten Zustand zu bringen, wenn das dekodierte Ergebnis anzeigt, daß entweder die erste oder die zweite Zentraleinheit Daten in den Speicher der CPU-Karte der anderen Seite lesen soll, und um die erste und zweite Gattereinrichtung in geöffneten Zustand zu bringen, wenn das dekodierte Ergebnis anzeigt, daß mindestens eine der beiden Zentraleinheiten Daten aus dem Speicher der CPU-Karte des eigenen Systems lesen soll,

— Schreib/Lese-Steuereinrichtungen, die in die erste und zweite CPU-Karte eingeschlossen sind, um die Adressenausgabe von der entsprechenden ersten und zweiten Zentraleinheit zu dekodieren und um beide Speicher in einen Zustand zu versetzen, in dem Schreiben möglich ist, wenn das dekodierte Ergebnis anzeigt, daß von der einen oder anderen Zentraleinheit Daten in beide Speicher geschrieben werden sollen, um den Speicher der anderen Seite in einen Zustand zu versetzen, in dem Lesen möglich ist, wenn das dekodierte Ergebnis anzeigt, daß eine der beiden Zentraleinheiten Daten in den Speicher der CPU-Karte der anderen Seite lesen soll, und um den Speicher des eigenen Systems zum Lesen zu aktivieren, wenn das dekodierte Ergebnis anzeigt, daß mindestens eine der beiden Zentraleinheiten Daten aus dem Speicher der CPU-Karte des eigenen Systems lesen soll; um nur einen der beiden Speicher in einen Zustand zu versetzen, in dem Lesen möglich ist (Fig. 5).

5. Informationsverarbeitungsvorrichtung nach Anspruch 4, dadurch gekennzeichnet, daß jeweils der erste und zweite Speicher einen ersten Adressenbereich zum Durchführen des Doppelschreibens und des Lesens im eigenen System und einen zweiten Adressenbereich zum Durchführen des Lesens der anderen Adresse enthalten, daß die erste und zweite Zentraleinheit ein Schreib/Lese-Steuersignal zusätzlich zur Speicheradresse ausgeben, daß die Gattersteuereinrichtungen die erste und zweite Gattereinrichtung in gesperrten Zustand bringen und daß die Schreib/Lese-Steuereinrichtungen beide Speicher in einen Zustand versetzt, in dem Schreiben möglich ist, wenn die von der einen oder anderen Zentraleinheit ausgegebene Speicheradresse zum ersten Adressenbereich gehört und das Schreib/Lese-Steuersignal, welches die erste oder zweite Zentraleinheit ausgibt, Schreiben anzeigt, daß die Gattersteuereinrichtungen die erste und zweite Gattereinrichtung in geöffneten Zustand bringen und die Schreib/Lese-Steuereinrichtungen nur die Karte des eigenen Systems in einen Zustand versetzt, in dem Schreiben möglich ist, wenn die von der ersten oder zweiten Zentraleinheit ausgegebene Speicheradresse zum ersten Adressenbereich gehört und die Schreib/Lese-Steuereinrichtung Lesen anzeigt, daß die Gattersteuereinrichtung die erste Gattereinrichtung und die zweite Gattereinrichtung in geschlossenen Zustand bringt und die Schreib/Lese-Steuereinrichtungen nur den Speicher des anderen Systems in einen Zustand versetzt, in dem Lesen möglich ist, wenn die Speicheradresse zum zweiten Adressenbereich gehört und die Schreib/Lese-Steuereinrichtung Lesen anzeigt (Fig. 6).

6. Informationsverarbeitungsvorrichtung nach Anspruch 4, dadurch gekennzeichnet, daß der erste und zweite Speicher die gleichen Adressenbereiche haben, die in einen ersten, zweiten und dritten Adressenbereich unterteilt sind, daß die Gattersteuereinrichtungen die erste und zweite Gattereinrichtung in gesperrten Zustand bringen und die Schreib/Lese-Steuereinrichtung die Speicher beider CPU-Karten in einen Zustand versetzt, in dem Schreiben möglich ist, wenn die Speicheradresse zum ersten Adressenbereich gehört, daß die Gattersteuereinrichtungen mindestens die Gattereinrichtung des eigenen Systems in geöffneten Zustand bringen und die Schreib/Lese-Steuereinrichtungen nur den Speicher der Karte des eigenen Systems, wenn die Speicheradresse zum zweiten Adressenbereich gehört, und daß die Gattersteuereinrichtungen beide Gattereinrichtungen in gesperrten Zustand bringen und die Schreib/Lese-Steuereinrichtungen nur den Speicher der CPU-Karte des anderen Systems, wenn die Speicheradresse zum dritten Adressenbereich gehört (Fig. 7).

7. Informationsverarbeitungsvorrichtung, gekennzeichnet durch

— eine erste und eine zweite Zentraleinheit (1301a, b),

— einen einzigen CPU-Bus, welcher die erste und zweite Zentraleinheit verbindet,

— ein erstes Busschaltglied und ein zweites Busschaltglied (1305a, b), die die erste bzw. zweite Zentraleinheit mit dem einzigen CPU-Bus verbinden oder von diesem trennen,

- einen ersten und zweiten Speicher, die mit dem einzigen CPU-Bus verbunden sind, wobei die Speicher verschiedene Adressen haben,
- eine Gattereinrichtung, die zwischen dem Verbindungsknoten des ersten Speichers und dem CPU-Bus und dem Verbindungsknoten des zweiten Speichers und dem CPU-Bus vorgesehen ist,
- eine Zugriffsteuereinrichtung, die die Gattereinrichtung so steuert, daß diese offen ist, wenn eine der beiden Zentraleinheiten eine Adresse des Speichers der Zentraleinheit ausgibt, welche die Adresse selbst ausgibt (Fig. 8).

8. Informationsverarbeitungsvorrichtung nach Anspruch 7, dadurch gekennzeichnet, daß die Gattereinrichtung ein Zweigegegatter (1309) aufweist, welches zwischen die Verbindungsknoten des einzigen CPU-Bus mit den zwei Speichern geschaltet ist, daß die Zugriffsteuereinrichtung einen ersten Adressendekodierer (1306a) und einen zweiten Adressendekodierer (1306b) aufweist, welche die von der ersten und zweiten Zentraleinheit ausgegebenen Adressen dekodieren, und eine Busentscheidungsschaltung (1304), welche das erste Busschaltglied (1305a), das zweite Busschaltglied (1305b) und das Zweigegegatter (1309) entsprechend der Ausgabe des Adressendekodierers öffnet/schließt.

9. Informationsverarbeitungsvorrichtung, gekennzeichnet durch

- eine erste und eine zweite Zentraleinheit (1301a, b),
- einen einzigen CPU-Bus, der eine Verbindung zwischen der ersten und zweiten Zentraleinheit herstellt,
- eine Vielzahl von Speichern (1302a—z), die mit dem einzigen CPU-Bus verbunden sind,
- eine Vielzahl von Gattereinrichtungen, die zwischen die Verbindungsknoten des CPU-Bus mit der Vielzahl von Speichern geschaltet sind,
- eine Zugriffsteuereinrichtung zum Steuern, wann entweder die erste oder die zweite Zentraleinheit eine Adresse eines benötigten Speichers aus der Vielzahl von Speichern ausgibt, die Gattereinrichtung, so daß nur die Gattereinrichtung, die zwischen den ausgewählten Speicher und den Speicher geschaltet ist, der dem ausgewählten Speicher auf der Seite der anderen Zentraleinheit am nächsten ist, sich in einem offenen Zustand befindet, und alle anderen Gattereinrichtungen sich in gesperrtem Zustand befinden (Fig. 9).

10. Informationsverarbeitungsvorrichtung nach Anspruch 9, gekennzeichnet durch

- einen ersten bis n-ten Speicher, die als die besagten Speicher vorgesehen sind,
- (n-1) Gattereinrichtungen als die besagte Vielzahl von Gattereinrichtungen, die zwischen n Verbindungsknoten geschaltet sind, welche den CPU-Bus mit den n Speichern verbinden,
- eine Zugriffsteuereinrichtung mit einem ersten Adressendekodierer und einem zweiten Adressendekodierer, welche die von der ersten bzw. der zweiten Zentraleinheit ausgegebenen Adressen dekodieren, und eine Busentscheidungsschaltung, die eine AUF/ZU-Steuerung des ersten und zweiten Busschaltgliedes (1305a, 1305b) und (n-1) in zwei Richtungen wirksamer Busschaltglieder in Übereinstimmung mit der Ausgabe des ersten und zweiten Adressendekodierers vornimmt.

Hierzu 10 Seite(n) Zeichnungen

- Leerseite -

Fig.1

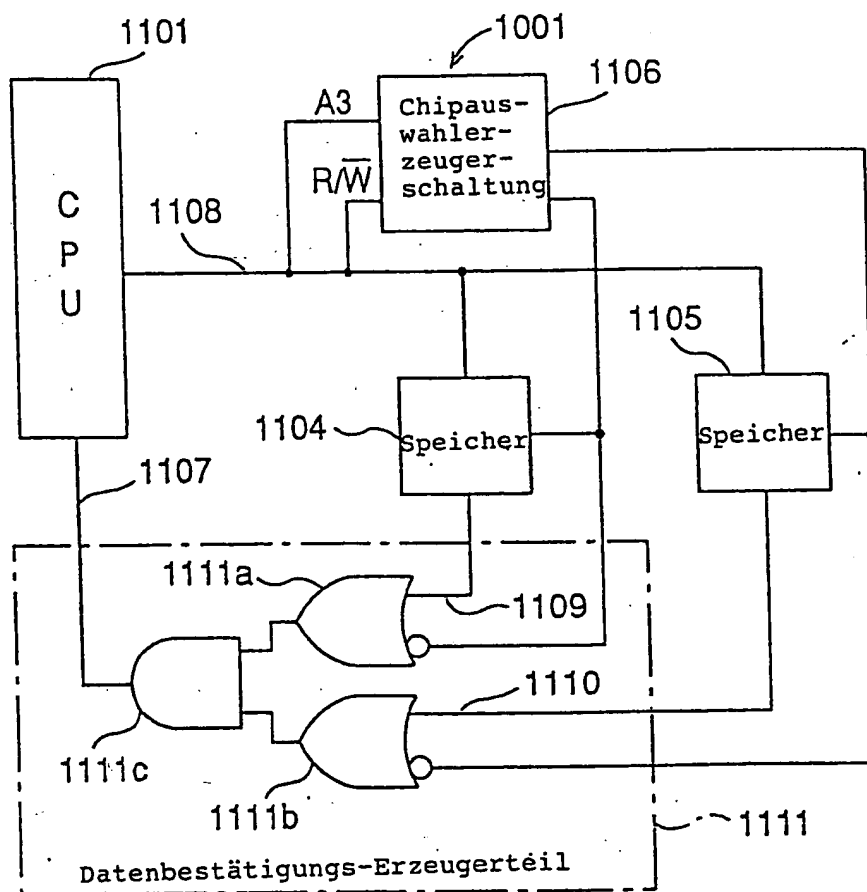


Fig.2

Adresse			
A3	A2	A1	A0
0	0	0	0
}			
0	1	1	1
1	0	0	0
}			
1	1	1	1

1104

Speicher lesen
oder
Doppelschreiben

1105

Speicher lesen

Fig.3

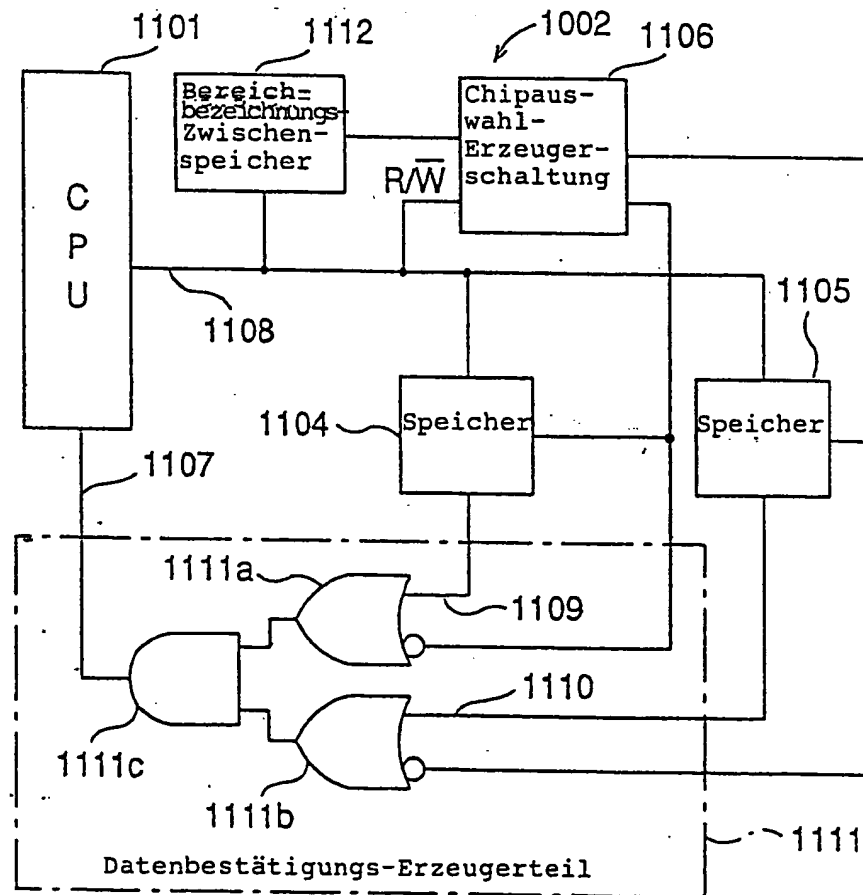


Fig.5

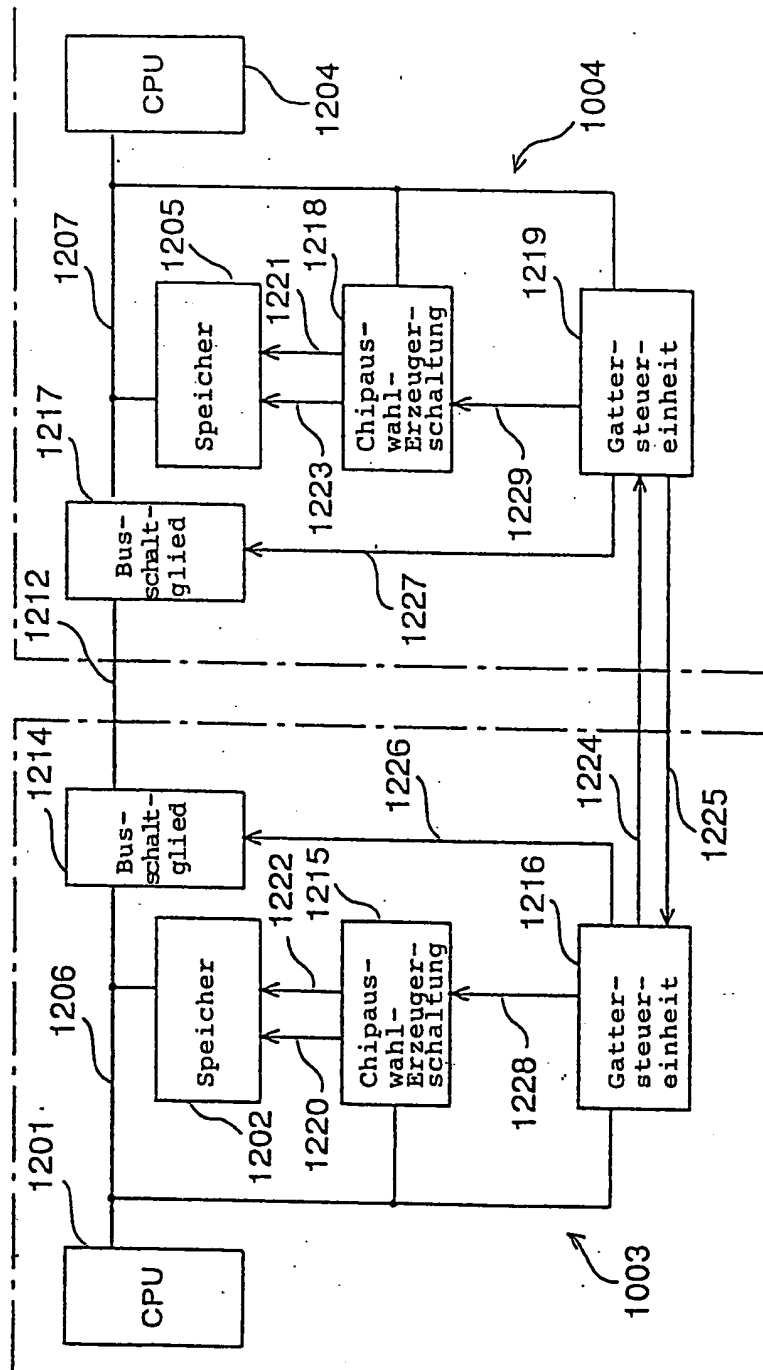


Fig.6

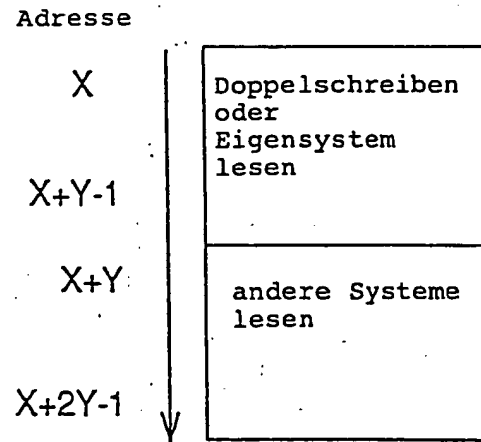


Fig.7

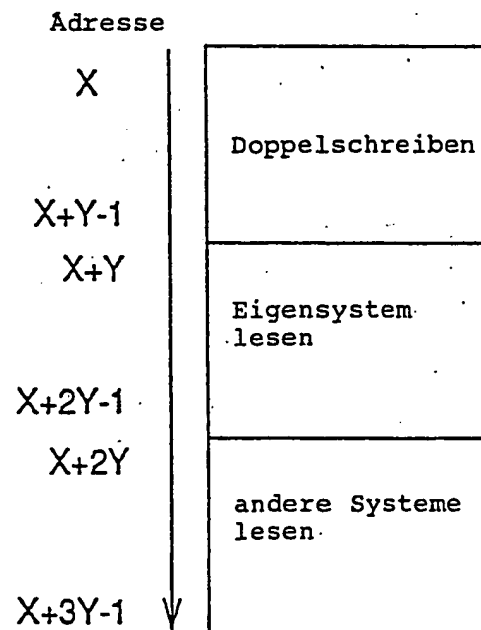


Fig. 8

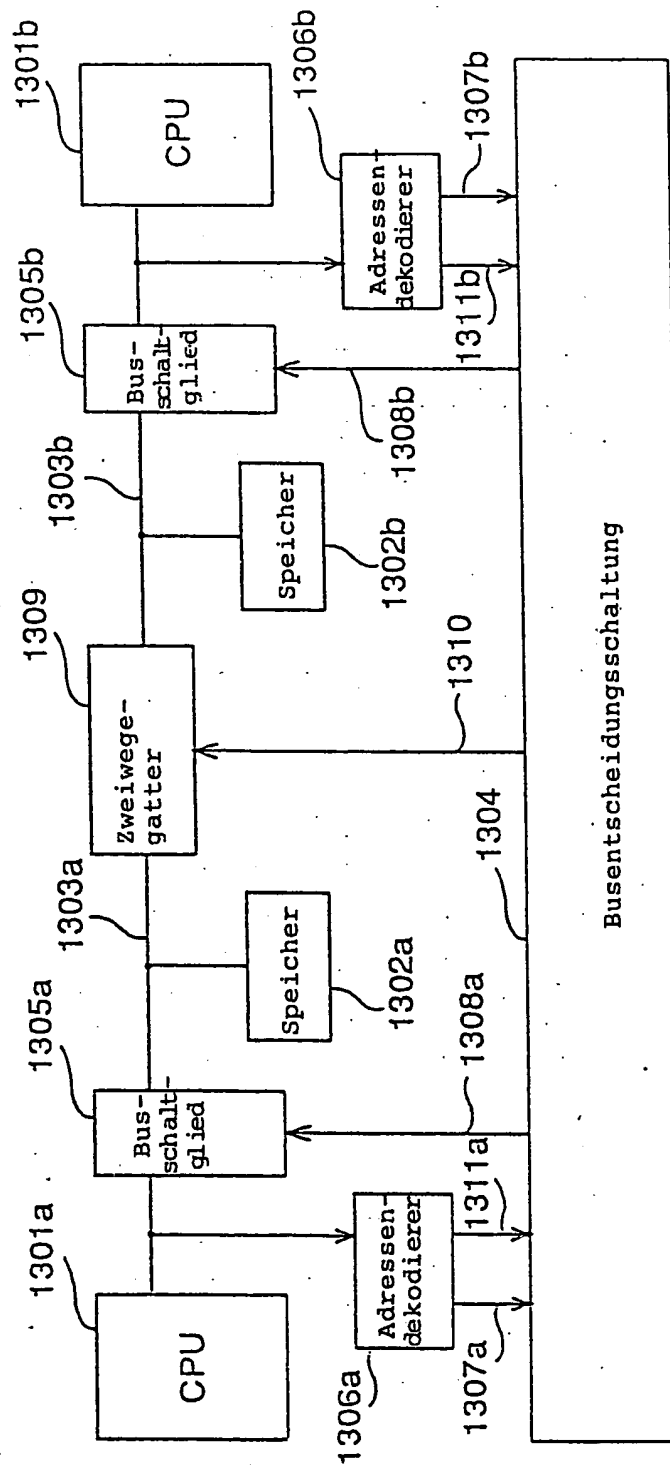


Fig. 9

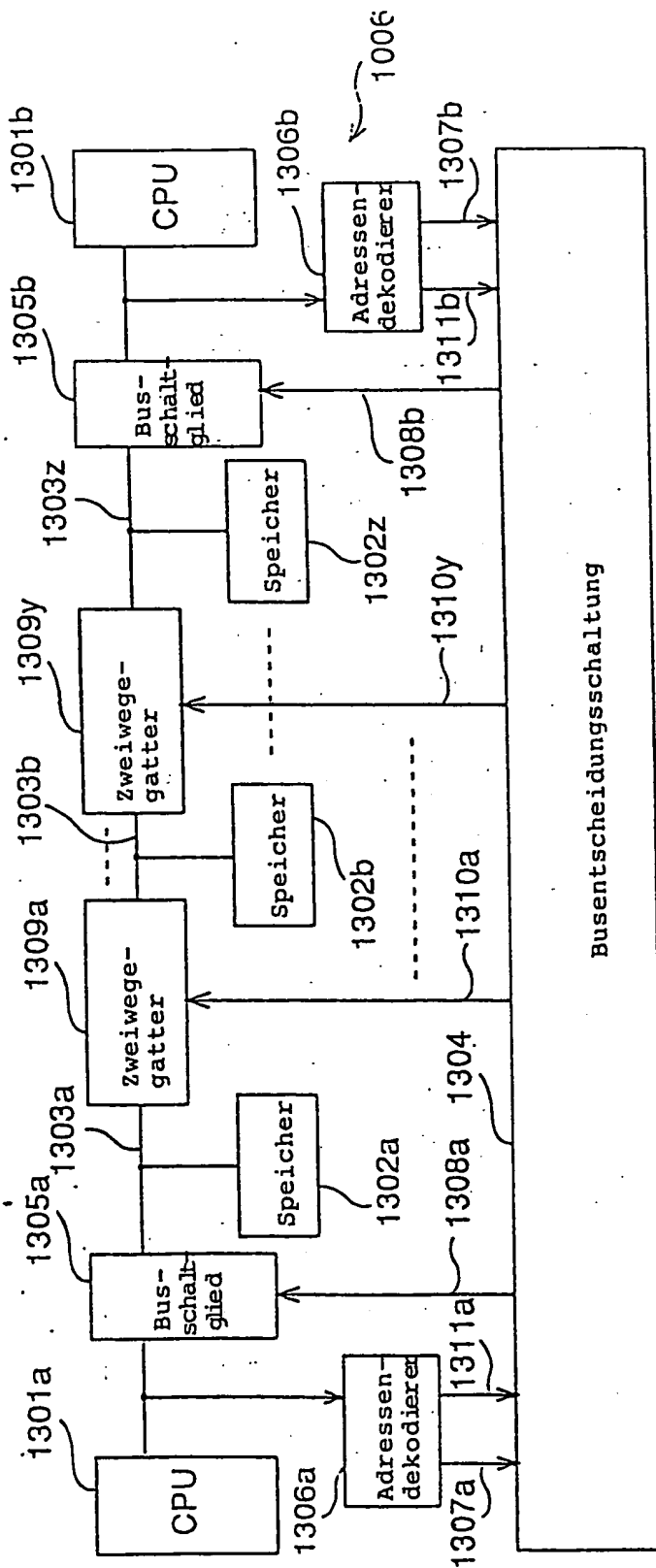


Fig.10 stand der Technik

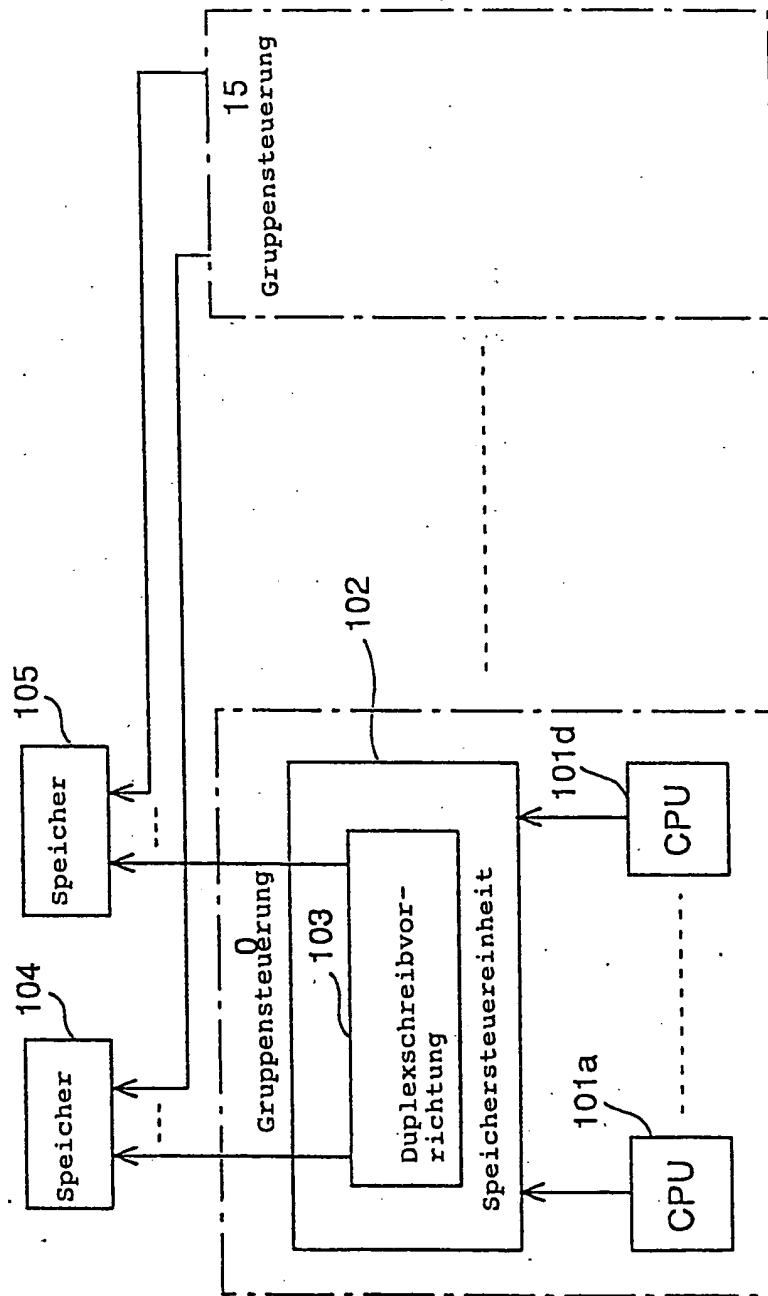


Fig.11 Stand der Technik

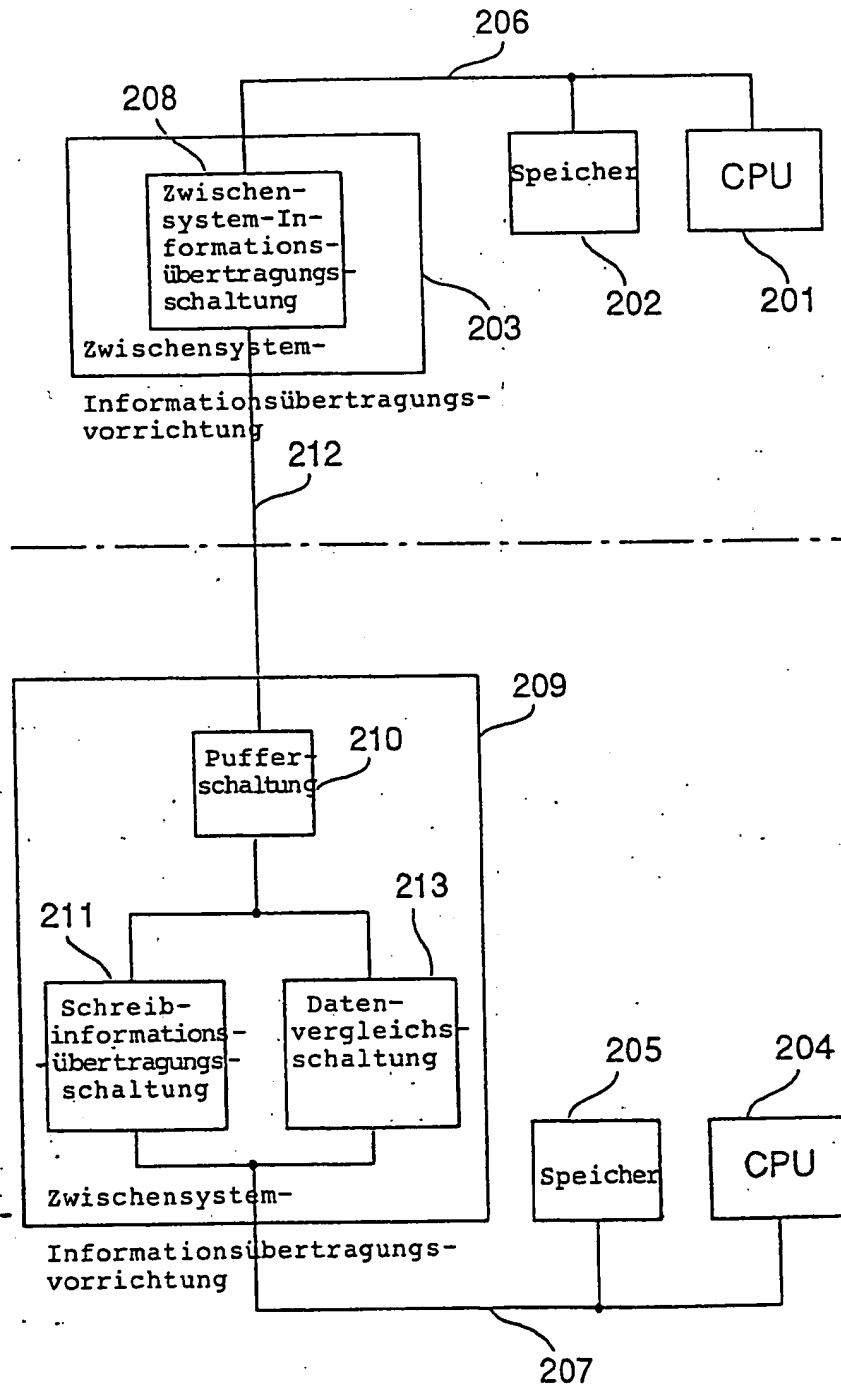


Fig.12 Stand der Technik

